

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-199149

(43)Date of publication of application : 04.08.1995

---

(51)Int.Cl. G02F 1/133  
G02F 1/133  
G02F 1/136  
G09G 3/36

---

(21)Application number : 05-335889 (71)Applicant : SHARP CORP  
(22)Date of filing : 28.12.1993 (72)Inventor : SHIRAKI ICHIRO  
MATSUURA MANABU  
KUBOTA YASUSHI  
YONEDA YUTAKA  
YAMAMOTO YOSHITAKA

---

## (54) PICTURE DISPLAY DEVICE AND ITS DRIVING METHOD

### (57)Abstract:

PURPOSE: To improve a holding rate of display data to unnecessary auxiliary capacity and to improve numerical aperture by writing the same data in pixels plural times during one frame period in an active matrix type picture display device.

CONSTITUTION: This device is provided with a timing control circuit 14, an A/D converter 11, a field memory A12, a field memory B13, a D/A converter 15, a current reversing circuit 16, a data driver 2, a scanning driver 3, a pixel array 17 for display (X×Y matrix), and a pixel circuit is constituted so that a value of an auxiliary capacity Cs is made a value for which a holding rate of display data is less than 99% or the auxiliary capacity Cs is eliminated and the pixel circuit is connected to the data driver 2 and the scanning driver 3.

---

## CLAIMS

---

### [Claim(s)]

[Claim 1] In an image display device which has a picture element part for a display in matrix form in a line writing direction (horizontal) and a line direction (perpendicular direction) and has the auxiliary capacity for data-hold for a display in this picture element part, an image display device taking a value that retention [ in / in a value of said auxiliary capacity / one frame of data for a display ] will be less than 99%.

[Claim 2] An image display device having a picture element part for a display in matrix form in a line writing direction (horizontal) and a line direction (perpendicular direction) and not having auxiliary capacity for data-hold for a display in this picture

element part.

[Claim 3] Claim 1 writing data for the same display of multiple times in a line writing direction (horizontal) and a line direction (perpendicular direction) within 1 frame period at this same picture element part in an image display device which has a picture element part for a display in matrix form or a drive method of an image display device given in either of 2.

[Claim 4] An image display device to an active element which drives with an active matrix and makes a switching function of a pixel. An image display device wherein it has composition which connects to a picture element electrode MOSFET which linked between one half of sources of a size of an active element and a drain directly and a scanning signal corresponding to the above-mentioned active element impresses a scanning signal used as an opposite phase to MOSFET.

[Claim 5] An image display device an active element which drives with an active matrix and makes a switching function of a pixel. An image display device wherein each impresses a scanning signal used as an opposite phase to two MOSFETs which consist of CMOS analog switches and constitute the above-mentioned CMOS analog switch.

[Claim 6] The image display device according to any one of claims 1 to 5 whose image display device is a liquid crystal display.

[Claim 7] The image display device according to any one of claims 1 to 6 with which an active element is characterized by carrier mobility  $\mu$  being a becoming element in  $\mu \geq 5 \text{ cm}^2/\text{V}\cdot\text{sec}$ .

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the image display device which has a pixel for a display in matrix form and its drive method.

[0002]

[Description of the Prior Art] The "field" and the "frame" in Description of this application are defined as follows.

Frame : completed single picture which is displayed on an image display device.

The picture which is a component of field: "frame."

The active-matrix-driven system is known in the image display device which is represented by the liquid crystal display and which allotted the pixel to matrix form.

Herean active matrix type liquid crystal display device is explained.

[0003] The structure of an image display portion is explained first. In drawing 1 it has two or more data signal lines 4 and two or more scanning signal lines 5 in the state where a data signal line and two or more scanning signal lines cross. The pixel 6 is formed in the portion surrounded with two adjoining data signal lines and two scanning signal lines at matrix form and each pixel is constituted by auxiliary capacity  $C_s$  the transistors  $TR$  such as TFT (thin film transistor) as an active element, the liquid crystal capacity  $C_p$  and if needed. In the figure one electrode of the data signal line 4, the liquid crystal capacity  $C_p$  and auxiliary capacity  $C_s$  is connected via the drain of the transistor  $TR$  and a source. The gate of the transistor  $TR$  is connected to the scanning signal line 5, the electrode

(common electrode) of another side of the liquid crystal capacity  $C_p$  is connected to a common power source wire and the electrode (common electrode) of another side of auxiliary capacity  $C_s$  is connected to the common power source wire or the scanning signal line of the preceding paragraph. (It is connected to the common electrode in drawing 11.) In addition the data signal line 4 is connected to the data driver 2 and the scanning signal line 5 is connected to the scanning driver 3.

[0004] The voltage of the data for a display which should be displayed on each pixel 6 by the timing control part 1 in the figure and level and the Vertical Synchronizing signal for performing positioning at the time of displaying are generated. The timing signals (a start pulse, a clock, etc.) which determine the driving timing of the data driver 2 (called a source driver) and the scanning driver 3 (called a gate driver) on the basis of these signals are generated. Based on these signals, the above-mentioned signal which sampled the data for a display for one horizontal scanning period in the data driver 2 and also was sampled is outputted to the data signal line 4 with the transfer signal generated by the timing control part 1. On the other hand, in the scanning driver 3, the scanning signal which specifies the storing pixel of the data for a display outputted on the data signal line 4 is outputted to the scanning signal line 5 and when the scanning signal line 5 is an active state, the data for a display in which the data signal line 4 top is sent is written in the liquid crystal capacity  $C_p$  via the transistor TR.

[0005] Although the transmissivity of a liquid crystal layer or reflectance will be modulated by the electric charge written in the liquid crystal capacity  $C_p$  and a display will be maintained. Although it is high resistance comparatively actually at the liquid crystal capacity  $C_p$ , a resistance component (leakage resistance) to a capacity component and parallel. Since the off resistance of an active element and the transistor TR exists, the accumulated electric charge begins to leak via this resistance by the time data is again written in this pixel in the next field, the voltage of a picture element electrode will decline and display quality is made to fall. Then, in order to make small potential fluctuation of the picture element electrode by this leakage current, providing auxiliary capacity  $C_s$  in the liquid crystal capacity  $C_p$  and parallel is performed.

[0006] Structural drawing (auxiliary capacity  $C_s$  is connected to the scanning signal line of the preceding paragraph.) of the pixel at the time of having auxiliary capacity  $C_s$  is shown in drawing 12. In the figure, in a data signal line and 5, a scanning signal line and 7 are [ 4 / TFT (thin film transistor) and 8 ] picture element parts (opening) the \*\*\*\*\* portions 13 of a scanning signal line and a pixel serve as auxiliary capacity  $C_s$  and the numerical aperture is falling by the field by which auxiliary capacity has been arranged.

[0007] If the electric field of only a certain direction are impressed to a liquid crystal layer in order to prevent this, it is necessary to perform an alternating current drive since degradation of the liquid crystal capacity  $C_p$ , i.e. degradation of a liquid crystal is remarkable. Although there are field reversal which reverses polarity for every field and 1H line inversion reversed for every horizontal line in this alternating current drive (inversion driving) the "field+1H line inversion driving" which doubled the former and the latter has been usually.

[0008] Since the parasitic capacitance  $C_{gs}$  exists between the gate sources of TFT (thin film transistor) TR as shown in drawing 13 in a picture element electrode, voltage shifting occurs by the capacitive component rate of pixel capacity (sum of the liquid crystal capacity  $C_p$  and auxiliary capacity  $C_s$ ) and the parasitic capacitance  $C_{gs}$ . Faults such as



being set to  $(V - \frac{V}{2})$  had generated the voltage which will be written in a pixel in the voltage of the data for a display which has been sent on the data signal line as for this voltage shifting if amplitude of  $V$  and a scanning signal line is set to  $V_0$ . (It is  $\frac{V}{2} = \frac{V_0}{2} \frac{C_{gs}}{(C_p + C_s + C_{gs})}$  here) This was also one of the generation factors of a flicker.

[0009] High-speed operation is more possible than the TN liquid crystal generally used to the liquid crystal display of the active-matrix-driven system mentioned above here. The liquid crystal display of the field progressive broadcasting method which maintains the rate of data-hold of this liquid crystal by a buffer circuit is proposed using the liquid crystal with a low (leakage resistance is small) rate of data-hold.

[0010] By displaying the field progressive broadcasting method said here and a two or more-color color by time sharing it is the color technology of performing continuous additive color mixing the time using the afterimage effect of the eyes shown in the timing chart of drawing 16 the data for a display to a pixel display part is transmitted in very short time  $\tau$  and it displays in remaining time (TRTGTB).

[0011] although the composition shown in drawing 11 as a pixel circuit in a field progressive broadcasting method can also operate -- as other pixel circuit composition -- Japanese-Patent-Application-No. 31 -- two systems are proposed by 77983 (JP4-310925A).

[0012] It is the method of considering a pixel circuit as the composition provided with the retention volume  $C_h$  and the buffer amplifier circuit 9 like drawing 14 in this 1st proposal transmitting the data for a display to a pixel display part by the very short transfer time  $\tau$  like the timing chart of drawing 16 and displaying in remaining time (TRTGTB). The high input impedance of this buffer amplifier circuit 9 holds the transmitted data for a display certainly with the retention volume  $C_h$  and serves to maintain an electric charge to the liquid crystal capacity  $C_p$  during the period TRTG and TB i.e. maintenance periods until the following data for a display is transmitted.

[0013] In the 2nd example the pixel circuit is considered as the composition shown in drawing 15. That is while displaying the voltage which is considered as the buffer amplifier circuit 10 and the composition which forms the retention volume  $C_a C_h$  and is held to one side of the retention volume  $C_a C_h$  bit is the composition of storing an electric charge in another side of the retention volume  $C_a C_h$ . Since this enables it to perform transmission of the data for a display to the retention volume  $C_a C_h$  and the writing to the liquid crystal capacity  $C_p$  by turns it is shown that it becomes possible to develop the transfer time  $\tau$  in the 1/3 field like the timing chart shown in drawing 17 etc.

[0014]

[Problem to be solved by the invention] In conventional technology in order to hold the data for a display auxiliary capacity  $C_s$  was required but when this existed the numerical aperture was falling. However if the conventional drive method was used with the pixel circuit composition which abolished auxiliary capacity  $C_s$  the problem that it not only becomes a generation factor of a flicker but cause decline in the rate for a display of data-hold and display quality falls arises. The retention of the data for a display in the existing pixel with the case where it does not have with the case where it has auxiliary capacity  $C_s$  is shown in drawing 18. In the case of the circuitry shown in drawing 14 and drawing 15 expansion (hindrance of highly-minute-izing) of the pixel size by the increase in an element number of a picture element part and the fall of the yield were caused.

[0015]As shown in drawing 13when TFT (thin film transistor) is used as an active element in an active-matrix-driven systemThe voltage shifting of a picture element electrode occurs by the capacitive component rate of the parasitic capacitance  $C_g$ s of thisand pixel capacityand the fault that the data for a display could not be written in correctly was caused. This was also one of the generation factors of a flicker.

[0016]

[Means for solving problem]In the image display device which has a picture element part for a display in matrix form in a line writing direction (horizontal) and a line direction (perpendicular direction)and has the auxiliary capacity for the data-hold for a display in this picture element part in order that the image display device of this invention may solve the above-mentioned problemThe value that retention [ in / in the value of said auxiliary capacity / one frame of the data for a display ] will be less than 99% is taken.

[0017]Other image display devices of this invention have a picture element part for a display in matrix form in a line writing direction (horizontal) and a line direction (perpendicular direction)and do not have the auxiliary capacity for the data-hold for a display in this picture element part.

[0018]The drive method of the image display device of this invention writes the data for the same display of multiple times in this same picture element part within 1 frame period in the described image display device which has a picture element part for a display in matrix form in a line writing direction (horizontal) and a line direction (perpendicular direction).

[0019]To the active element which an image display device drives with an active matrixand makes the switching function of a pixel. It has composition which connects to a picture element electrode MOSFET which linked between one half of the sources of a size of an active elementand a drain directlyand the scanning signal corresponding to the above-mentioned active element impresses the scanning signal used as an opposite phase to MOSFET. It has composition to which each impresses the scanning signal used as an opposite phase to two MOSFETs which an image display device drives with an active matrixconstitutes the active element which makes the switching function of a pixel from a CMOS analog switchand constitute the above-mentioned CMOS analog switch.

[0020]This invention can be applied also when an image display device is a liquid crystal display.

[0021]The active element of the image device of this invention makes carrier mobility  $\mu \geq 5 \text{ cm}^2/\text{V}\cdot\text{sec}$ .

[0022]

[Function]By conventional technologyalthough connected to the scanning signal line of a common electrode or the preceding paragraphsince auxiliary capacity  $C_s$  becomes possible [ abolishing this ]structure becomes easy and its numerical aperture improves by this invention. Although it does not come to abolish above-mentioned auxiliary capacity  $C_s$ anumerical aperture can be improved by making the value of auxiliary capacity  $C_s$  small. An improvement of the rate for a display of data-hold is still also attained. When holding a field progressive broadcasting methodsince drawing 14 and complicated circuitry as shown in drawing 15 are not neededreduction (reduction of pixel size) of a pixel circuit scale is achievedand the improvement in the yield and highly minute-ization are attained.

[0023]The sampling circuit not only when auxiliary capacity  $C_s$  is made lowbut in a data

driverThe data fluctuation generated when the OFF current of the transistor which forms a hold circuit etc. and the various circuits of a picture element part is large or when the parallel resistance ingredient of what is called a sampling capacitor or a data hold capacitor and other capacitors is small can be suppressed.

[0024]When TFT (thin film transistor) is used as an active element the flicker resulting from the voltage shifting of the picture element electrode by which it is generated by the capacitive component rate of the parasitic capacitance  $C_{gs}$  between the gate sources of this and pixel capacity etc. can be controlled.

[0025]

[Working example]

[Working example 1] This example explains the case where the data for \*\* in the first half of the two or more innings is written in within 1 frame period at a picture element part in the case of a black and white display (monochromatic specification).

[0026]The example of peripheral circuit composition when enforcing the method of driving this invention and pixel circuit composition is shown in drawing 2 (in the case of a xxy matrix). In the figure a timing control circuit and 11 14 An A/D converter 12 -- as for an inversion circuit and 2 the field memory B and 15 are [ a scanning driver and 17 ] the pixel arrays for a display (xxy matrix) a data driver and 3 a D/A converter and 16 the field memory A and 13. As an example of pixel circuit composition it has composition from which the value of auxiliary capacity  $C_s$  removed the composition which takes the value that the rate for a display of data-hold will be 99% or less or auxiliary capacity  $C_s$  with the composition in drawing 11. The field memory A of 12 and the field memory B of 13 perform writing and read-out by turns for every field.

[0027]Next operation is explained. The data for a display is first inputted into A/D converter 11 and in order to memorize to a field memory the changed signal is memorized by 1 frame period by the field memory A 12 after changing into a digital signal from an analog signal. The data for a display in front of 1 frame period simultaneously with this A part for 1 frame period From the already memorized field memory B 13 serially this data memorized within 1 frame period with the timing signal generated by the timing control part 14 n times It is inside (when frame frequency is 60 Hz.) of  $16.67/n$  [msec] about read-out of all the data for a display by the 1 field. the following -- it is the same -- it carries out. The data for a display read from the field memory B 13 is changed into an analog signal from a digital signal by D/A converter 15 next the inversion signals generated by the timing control part 14 in the inversion circuit 16 -- the polarity of the data for a display -- reversal (1 -- H line inversion) After performing 1 field reversal or field+1 H line inversion it writes in each predetermined pixel by inputting into the data driver 2 sampling this in the data driver 2 and outputting to a data signal line.

[0028]As opposed to drawing 19 which the timing of the writing at this time shows an example of the conventional general scanning method The scanning driver 3 is operated to the timing (timing which can output the scanning signal of y duty within  $16.67/n$  [msec]) doubled with the data read for a display for n times of 1 frame periods from the field memory B 13 as shown in drawing 1 The data driver 2 is also operated on the frequency which can perform the sampling of x data for a display (1 horizontal-line pixel number) and writing within the pulse width of each scanning signal. That is in a certain pixel the data for the same display will be written in n times within 1 frame period. The graph of the rate for a display of data-hold in the existing pixel at the time of performing



the above operation is shown in drawing 3. The clock frequency (a clock start pulse etc.) of the data driver 2 at this time and the scanning driver 3 will serve as  $n \times f$  [Hz] if the number of times of read-out of data is made into  $n$  times when the case of normal operation is set to  $f$  [Hz].

[0029] As mentioned above by using the drive method with which the data for a display corresponding to each pixel is written in a  $n$  time predetermined pixel within 1 frame period. In the pixel circuit composition in the case of taking the value that the value of auxiliary capacity  $C_s$  serves as less than 99% of a rate for a display of data-hold and the pixel circuit composition at the time of removing thoroughly. The improvement in the yield not only by improvement in a numerical aperture but realization of the rate for a high display of data-hold and reduction (reduction of pixel size) of a pixel circuit scale and highly-minute-izing are possible.

[0030] It is desirable for the driving ability of the active element (transistor TR) in a pixel to be large in writing multiple times in 1 frame period to each pixel as mentioned above. It is desirable for carrier mobility  $\mu$  to use the element TFT more than  $5 \text{ cm}^2/\text{V}\cdot\text{sec}$  for example polycrystalline silicon etc. at least.

[0031] The antecedent basis of the number of 99% of the rates for a display of data-hold is because the rates of data-hold of not less than 99% including a margin were needed for being stabilized and displaying the data for a display of 64 gradation equivalent to the practical use level of a natural drawing display over 1 frame period by the conventional driving method here.

[0032] Although the HARASHIN item was the non yne TARESU scan which writes a yne TARESU signal like a television signal in adjoining 2 horizontal lines (it is also called a scanning line) in the above explanation. Not the thing that limits circuitry to this but the HARASHIN item is a yne TARESU signal and when displaying a part for 2 field video signal within 1 frame period of course it is applicable. However the composition of a peripheral circuit is that the capacity of complication or a memory naturally increases in this case. It cannot be overemphasized that circuitry increases according to the number of colors in the case of the spatial additive color mixing of two or more colors using a light filter.

[0033] [Working example 2] The 1st working example of the colorization in a field progressive broadcasting method is described below.

[0034] As pixel circuit composition it has composition from which the value of auxiliary capacity  $C_s$  removed thoroughly the composition which takes the value that the rate for a display of data-hold will be less than 99% or auxiliary capacity  $C_s$  for example with the composition in drawing 11. The example of basic constitution of a drive circuit is shown in drawing 4 (in the case of a  $x \times y$  matrix). The field memory A12 and the inside of B13. The data for red screen display for 1 frame period. It has composition with the function which generates the timing signal which divides the data for green screen display and the data for blue screen display into the blocks 18-23 memorized respectively and reads red, green and the data for a display for blue screens to the timing control part 14 respectively.

[0035] Next operation is explained. It is A/D converter 11 (when the data for a display is a RGB code for a field sequential display it consists of one A/D converter and) about the data for a field sequential display. In the case of a general RGB code it inputs for consisting of three A/D converters. In order to memorize to a field memory the changed

signal is memorized by the field memory A12 after changing into a digital signal from an analog signal by the red for 1 frame period green and each data 18 19 and 20 for blue screen display. The red of one frame ago green and the data for blue screen display simultaneously with this from the field memory B13 which has already memorized a part for 1 frame period to 21 22 and 23 respectively. The red for 1 frame period green and the data for blue screen display are read to a serial n times in a fixed order within 1 frame period (16.67 [msec]) with the read signal generated by the timing control part 14 in this data memorized. That is as shown in drawing 5 it will be considered as one set by red green and three data for blue screen display and n-set read-out will be performed within 1 frame period (what kind of order may be sufficient as a data read order for a display?). Next after changing into an analog signal the data for a display read from the field memory B13 by D/A converter 15 from a digital signal next the inversion signals generated by the timing control part 14 in the inversion circuit 16 -- the polarity of the data for a display -- reversal (1 -- H line inversion) After performing 1 field reversal or field+1 H line inversion it writes in each predetermined pixel with inputting into the data driver 2 sampling this in the data driver 2 and outputting to a data signal line.

[0036] Timing of writing at this time A scanning driver is operated to timing (timing which can output a scanning signal of y duty within  $16.67/n$  [msec]) doubled with data read for a display for n times of 1 frame periods from the field memory B as shown in drawing 5 The data driver 2 is also operated on frequency which can perform a sampling of x data for a display (1 horizontal-line pixel number) and writing within pulse width of each scanning signal.

[0037] By performing the above operation a cycle of time mixed colors of a color becomes high-speed and a feeling of the different sum is not sensed to human being's vision sensitivity Do not have drawing 14 proposed in order to raise retention of data for a display by Japanese Patent Application No. 3-77983 (JP4-310925A) and complicated pixel circuit composition shown in drawing 15 but \*\* with 1 transistor composition from which a high numerical aperture is obtained. Improvement in the yield by realization of a rate for a high display of data-hold and reduction (reduction of pixel size) of a pixel circuit scale and highly-minute-izing are possible.

[0038] [An working example 3] The 2nd working example of colorization in the same field progressive broadcasting method as the next is described.

[0039] Pixel circuit composition and drive circuit composition presuppose that it is the same as that of an working example 2. It is changing timing of a read signal generated by the timing control 14 in drawing 4 about operation As shown in drawing 6 divide 1 frame period into three equally and within one third of periods of the beginning For example n times Data for green screen display is read n times within the one following third of periods data for blue screen display is read n times within one third of periods of the last and data for red screen display is written in a predetermined pixel (combination of not only this but what kind of other data for a display may be sufficient). It is 1 transistor composition from which a high numerical aperture is obtained by the above circuitry and drive method and improvement in the yield by realization of a rate for a high display of data-hold and reduction (reduction of pixel size) of a pixel circuit scale and highly-minute-izing are possible.

[0040] [Working example 4] Also making it operate in the timing chart of drawing 8 corresponding to the system configuration example and this which show drawing 7 again



can write the data for a display corresponding to each pixel in a  $n$  time predetermined pixel within 1 vertical scanning period.

[0041] Composition is explained first. As for timing control and 24 in 14 in drawing 7 (in the case of a xxy matrix) the scanning drivers 1 and 25 are the scanning drivers 2 (a scanning driver makes only the number of horizontal scanning numbers a certain thing.). When it is in this case scanning drivers are required. It carries out and the scanning signal line of  $n$  book is connected to each scanning driver and the data signal line of  $x$  book is connected to the data driver 2. The pixel circuit 26 is formed in a form as shown in drawing 7 on each intersection of a scanning signal line and a data signal line.  $n$  element TRS for a sampling is connected to the intersection of a data signal line and a sampling signal line in a pixel circuit and it is eventually connected to the output of this at the one pixel capacity  $C_p$  via TR as one pair of sampling capacity  $C_h$  and an active element respectively.

[0042] It explains based on the timing chart shown in drawing 8 about operation. In the pulse width of the sampling signal 1 generated in the timing control circuit 14 the data for a display for one horizontal period is outputted to a data signal line and a data driver outputs the data for a display of an output and the sequential  $y$  duty to a data signal line. That is in the figure the data for a display for the 1 field will be sampled and outputted within the period of A. Next the data for a display on a data signal line is written in the sampling capacity  $C_h$  one by one for every horizontal line via TRS by the sampling signal 1 -  $y$  the order 1-1 which shows a scanning signal line in the figure 2-1 and ...  $y-1$  1 (period of A in the figure) - 2-2 ...  $y-2$  and 1 (period of B in the figure) -  $n$ . The data for a display is written in pixel capacity from the sampling capacity  $C_h$   $n$  times within 1 frame period by scanning in an order used as 2- $n$  and  $y-n$  (period of N in the figure).

[0043] The sampling frequency of the data driver 2 can be finished at once by performing the above operation and auxiliary capacity  $C_s$  can be decreased or abolished without reducing the rate for a display of data-hold making the burden of the data driver 2 ease.

[0044] [Working example 5] As an example with the composition in drawing 11 although the value of auxiliary capacity  $C_s$  was considering old pixel circuit composition as the composition which takes the value that the rate for a display of data-hold will be 99% or less or the composition which removed auxiliary capacity  $C_s$  thoroughly it is shown in drawing 9 and drawing 10 as an example of pixel circuit composition for inhibiting the influence by the parasitic capacitance  $C_{gs}$  ( $C_{gd}$ ) of an active element.

[0045] In drawing 9 auxiliary capacity  $C_s$  was thoroughly removed from the pixel circuit composition in drawing 11 and TR2 and the scanning signal line 2 which are MOSFETs are added. It has composition which connected the drain of TR2 and the source to the picture element electrode and connected the gate to the scanning signal line 2. As for  $C_{gs1}$   $C_{gd2}$  is the parasitic capacitance between a gate and a drain between the gate of TR2 and a source the gate of TR1 the parasitic capacitance between sources and  $C_{gs2}$  and TR2 is the transistor size used as " $C_{gs2} + C_{gd2} = C_{gs1}$ ."

[0046] With this the waveform of an opposite phase is impressed to impression and the scanning signal line 2 for the usual scanning signal corresponding to each pixel at the scanning signal line 1. Since the shift directions of  $C_{gs1}$  the voltage shifting of the picture element electrode by which it is generated with the pixel capacity  $C_p$  and the voltage shifting of the picture element electrode by which it is generated by  $C_{gs2}$  and  $C_{gd2}$  differ by carrying out like this respectively it can offset each other and suit and the influence by

this can be inhibited.

[0047]Also in drawing 10 auxiliary capacity  $C_s$  is thoroughly removed from the pixel circuit composition in drawing 11 and  $TR_2$  and the scanning signal line 2 which are MOSFETs are added.  $TR_2$  is considered as the composition of the complementary type which forms an analog switch by  $TR_1$  and the electric capacity of  $C_{gs2}$  which are a gate of  $TR_1$  a gate of  $C_{gs1}$  and  $TR_2$  which is the parasitic capacitance between sources and the parasitic capacitance between sources chooses transistor size which becomes equal.

[0048]To the scanning signal line 1 the same effect as a pixel circuit shown in drawing 9 can be acquired by impressing a waveform of an opposite phase to impression and the scanning signal line 2 for the usual scanning signal corresponding to each pixel with this.

[0049]

[Effect of the Invention]Conventionally by this invention although connected to the scanning signal line of a common electrode or the preceding paragraphs since auxiliary capacity  $C_s$  becomes possible [abolishing this] structure becomes easy and its numerical aperture improves. Although it does not come to abolish above-mentioned auxiliary capacity  $C_s$  a numerical aperture can be improved by making the value of auxiliary capacity  $C_s$  small. An improvement of the rate for a display of data-hold is still also attained. When holding a field progressive broadcasting method since drawing 14 and complicated circuitry as shown in drawing 15 are not needed reduction (reduction of pixel size) of a \*\*\*\*\* film is achieved and the improvement in the yield and highly minute-ization are attained.

[0050]The sampling circuit if stated not only when auxiliary capacity  $C_s$  is made low but in a data driver the data fluctuation generated when the OFF current of the transistor which forms a hold circuit etc. and the various circuits of a picture element part is large or when the parallel resistance ingredient of what is called a sampling capacitor a data hold capacitor and other capacitors is small can be suppressed.

[0051]When TFT (thin film transistor) is used as an active element the flicker resulting from this etc. can be controlled by offsetting the voltage shifting of the picture element electrode by which it is generated by the capacitive component rate of the parasitic capacitance  $C_{gd}C_{gs}$  between the gate sources of this or between drains and pixel capacity.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1]It is a figure showing the output wave and display voltage of a scanning driver in the drive method of this invention.

[Drawing 2]It is a block diagram for describing one working example of this invention.

[Drawing 3]It is a graph of the rate for a display of data-hold at the time of carrying out this invention.

[Drawing 4]It is a block diagram of one working example at the time of carrying out this invention with a field progressive broadcasting method.

[Drawing 5]It is an example of a timing chart at the time of carrying out this invention with a field progressive broadcasting method.

[Drawing 6]They are other examples of a timing chart at the time of carrying out this invention with a field progressive broadcasting method.

[Drawing 7] It is a block diagram for describing other working examples of this invention.

[Drawing 8] It is a timing chart for explaining operation of drawing 7.

[Drawing 9] It is a figure explaining other examples of the pixel circuit composition of this invention.

[Drawing 10] It is a figure explaining other examples of pixel circuit composition of this invention.

[Drawing 11] It is a figure explaining the conventional pixel circuit composition.

[Drawing 12] It is a figure explaining the structure of the important section of the conventional pixel circuit.

[Drawing 13] It is a figure for explaining operation of the conventional pixel circuit.

[Drawing 14] It is a figure for explaining other examples of the conventional pixel circuit composition.

[Drawing 15] It is a figure for explaining the example of further others of the conventional pixel circuit composition.

[Drawing 16] It is a timing chart explaining the conventional field progressive broadcasting method.

[Drawing 17] It is a timing chart explaining other examples of the conventional field progressive broadcasting method.

[Drawing 18] It is an explanatory view of the rate for a display of data-hold with the case where there is nothing with the case where there is auxiliary capacity Cs.

[Drawing 19] It is a figure showing the output wave of the scanning driver in the conventional drive method.

[Explanations of letters or numerals]

17 The pixel array for a display (xxy matrix)

Cs Auxiliary capacity

---



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-199149

(43)公開日 平成7年(1995)8月4日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 5 0			
	5 1 0			
1/136	5 0 0			
G 0 9 G 3/36				

審査請求 未請求 請求項の数 7 O L (全 13 頁)

(21)出願番号	特願平5-335889	(71)出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22)出願日	平成5年(1993)12月28日	(72)発明者	白木 一郎 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		(72)発明者	松浦 学 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		(72)発明者	久保田 靖 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		(74)代理人	弁理士 梅田 勝

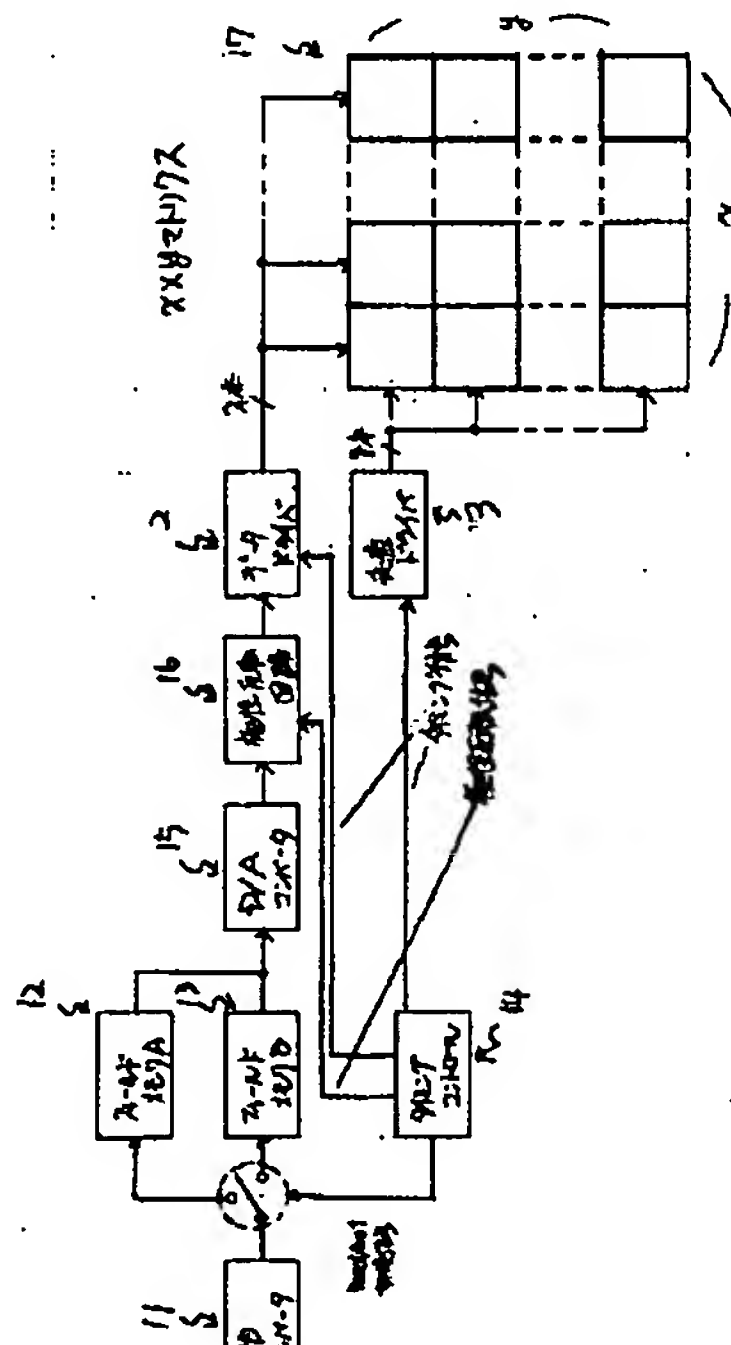
最終頁に続く

(54) 【発明の名称】 画像表示装置及びその駆動方法

(57) 【要約】

【目的】 アクティブマトリクス型画像表示装置において、1フレーム期間内に複数回の同一データを画素に書き込む事により、表示用データ保持率を改善し、補助容量を廃止、開口率の向上を図る。

【構成】 画像表示装置はタイミングコントロール回路14、A/Dコンバータ11、フィールドメモリA12、フィールドメモリB13、D/Aコンバータ15、極性反転回路16、データドライバ2、走査ドライバ3、表示用画素アレイ( $x \times y$ マトリクス)17を具備し画素回路としては補助容量Csの値が表示用データ保持率が99%未満となるような値をとる構成、もしくは補助容量Csを除去した構成とし、データドライバ2及び走査ドライバ3に接続する。



## 【特許請求の範囲】

【請求項1】 行方向（水平方向）及び列方向（垂直方向）にマトリクス状に表示用の画素部を有し、該画素部に表示用データ保持用の補助容量をもつ画像表示装置において、前記補助容量の値が表示用データの1フレームにおける保持率が99%未満となるような値を取ることを特徴とする画像表示装置。

【請求項2】 行方向（水平方向）及び列方向（垂直方向）にマトリクス状に表示用の画素部を有し、該画素部に表示用データ保持用の補助容量を有さないことを特徴とする画像表示装置。

【請求項3】 行方向（水平方向）及び列方向（垂直方向）にマトリクス状に表示用の画素部を有する画像表示装置において、1フレーム期間内で該同一画素部に、複数回の同一表示用データを書き込むことを特徴とする請求項1又は2のいずれかに記載の画像表示装置の駆動方法。

【請求項4】 画像表示装置がアクティブマトリクス方式で駆動され、画素のスイッチング機能をなすアクティブ素子に、アクティブ素子の1/2の大きさのソース、ドレイン間を直結したMOSFETを画素電極に接続する構成とし、上記アクティブ素子に対応する走査信号とは逆位相となる走査信号をMOSFETに印加することを特徴とする画像表示装置。

【請求項5】 画像表示装置がアクティブマトリクス方式で駆動され、画素のスイッチング機能をなすアクティブ素子を、CMOSアナログスイッチで構成し、上記CMOSアナログスイッチを構成する2つのMOSFETにお互いが逆位相となる走査信号を印加することを特徴とする画像表示装置。

【請求項6】 画像表示装置が液晶表示装置である請求項1～5のいずれかに記載の画像表示装置。

【請求項7】 アクティブ素子がキャリア移動度 $\mu$ が $\mu \geq 5 \text{ cm}^2/\text{V} \cdot \text{sec}$ なる素子であることを特徴とする請求項1～6のいずれかに記載の画像表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、マトリクス状に表示用画素を有する画像表示装置とその駆動方法に関する。

## 【0002】

【従来の技術】本願明細書における「フィールド」と「フレーム」とを次の通り定義する。  
フレーム：画像表示装置に表示される単一の完結した画像。

フィールド：「フレーム」の構成要素である画像。  
液晶表示装置に代表される、マトリクス状に画素を配した画像表示装置においてアクティブマトリクス駆動方式が知られている。ここではアクティブマトリクス型液晶

る。図11において複数のデータ信号線4と複数の走査信号線5とをデータ信号線と複数の走査信号線とが交差する状態で備え、隣接する2本のデータ信号線と2本の走査信号線とで包囲された部分に画素6がマトリクス状に設けられており、各画素はアクティブ素子としてのTFT（薄膜トランジスタ）等のトランジスタTRと、液晶容量Cpと、必要に応じて補助容量Csとによって構成される。同図においてトランジスタTRのドレイン、ソースを介してデータ信号線4と液晶容量Cp及び補助容量Csの一方の電極とが接続され、トランジスタTRのゲートは走査信号線5に接続され、液晶容量Cpの他方の電極（コモン電極）はコモン電源線に、補助容量Csの他方の電極（コモン電極）はコモン電源線もしくは前段の走査信号線に接続されている。（図11ではコモン電極に接続されている。）尚、データ信号線4はデータドライバ2に、走査信号線5は走査ドライバ3に接続されている。

【0004】同図においてタイミングコントロール部1で各画素6に表示すべき表示用データの電圧、及び表示を行う際の位置決めを行う為の水平及び垂直同期信号を発生させ、これらの信号を基準にしてデータドライバ2（ソースドライバとも呼称される）、走査ドライバ3（ゲートドライバとも呼称される）の駆動タイミングを決定するタイミング信号（スタートパルス、クロック等）を発生させる。これらの信号をもとに、データドライバ2において1水平走査期間分の表示用データをサンプリングし、更にサンプリングされた上記信号をタイミングコントロール部1で生成された転送信号によりデータ信号線4に出力する。一方、走査ドライバ3ではデータ信号線4上に出力された表示用データの格納画素を指定する走査信号を走査信号線5に出力し、走査信号線5がアクティブ状態である時にデータ信号線4上を送られる表示用データがトランジスタTRを介して液晶容量Cpに書き込まれる。

【0005】液晶容量Cpに書き込まれた電荷により液晶層の透過率、或いは反射率が変調され表示が維持されることになるが、実際には液晶容量Cpには比較的高抵抗ではあるが容量成分と並列に抵抗成分（リーク抵抗）が、またアクティブ素子、トランジスタTRのオフ抵抗が存在するため、蓄積された電荷がこの抵抗を介して漏れ出し、次のフィールドで再びこの画素にデータが書き込まれるまでの間に画素電極の電圧が減衰し、表示品位を低下させる事になる。そこで、このリーク電流による画素電極の電位変動を小さくするために液晶容量Cpと並列に補助容量Csを設ける事が行われている。

【0006】図12に補助容量Csを有した場合の画素の構造図（補助容量Csは前段の走査信号線に接続されている。）を示す。同図において、4がデータ信号線、

た部分13が補助容量 $C_s$ となっており、補助容量が配置された領域分だけ開口率が低下している。

【0007】また液晶層に一定方向のみの電界を印加していると液晶容量 $C_p$ の劣化、つまり液晶の劣化が著しいため、これを防ぐために交流駆動を行う必要がある。この交流駆動（反転駆動）には1フィールド毎に極性を反転させるフィールド反転、及び1水平ライン毎に反転させる1Hライン反転とがあるが、前者と後者を合わせた「フィールド+1Hライン反転駆動」が通例となっている。

【0008】また図13に示すようにTFT（薄膜トランジスタ）TRのゲートソース間には寄生容量 $C_{gs}$ が存在するため画素容量（液晶容量 $C_p$ と補助容量 $C_s$ の和）と寄生容量 $C_{gs}$ との容量分割により画素電極において電圧シフトが発生する。この電圧シフトはデータ信号線上に送られている表示用データの電圧を $V$ 、走査信号線の振幅を $V_0$ とすると画素に書き込まれる電圧は $(V - \Delta V)$ となる等の不具合が発生していた。（ここで $\Delta V = V_0 \cdot C_{gs} / (C_p + C_s + C_{gs})$ である）これはフリッカーの発生要因の一つでもあった。

【0009】ここで、上述したアクティブマトリクス駆動方式の液晶表示装置に一般的に用いられているTN型液晶より高速動作が可能で、データ保持率の低い（リーク抵抗の小さい）液晶を用いて、バッファ回路により該液晶のデータ保持率を維持するフィールド順次走査方式の液晶表示装置が提案されている。

【0010】ここで言うフィールド順次走査方式とは、2色以上の色を時分割で表示することによって、眼の残像効果を利用した時間継続的な加法混色を行うカラー技術であり、図16のタイミングチャートに示す様に画素表示部への表示用データの転送を極めて短い時間 $\tau$ で行い、残りの時間（TR、TG、TB）で表示するものである。

【0011】フィールド順次走査方式における画素回路としては図11に示す構成でも動作可能であるが、他の画素回路構成として特願平3-77983（特開平4-310925）で2つの方式が提案されている。

【0012】この第1の提案では、画素回路を図14の様に保持容量 $C_h$ とバッファアンプ回路9とを備えた構成とし、図16のタイミングチャートの様に画素表示部への表示用データの転送を極めて短い転送時間 $\tau$ で行い、残りの時間（TR、TG、TB）で表示する方法である。このバッファアンプ回路9の高入力インピーダンスは、転送された表示用データを保持容量 $C_h$ で確実に保持し、次の表示用データが転送されるまでの期間、つまり保持期間TR、TG、TBの期間、液晶容量 $C_p$ に電荷を維持する働きをする。

【0013】第2の例では、画素回路を図15に示す構

$C_h$ の一方に保持している電圧を表示している間に保持容量 $C_h$ 、 $C_h$ の他方に電荷を蓄える構成である。これによって、保持容量 $C_h$ 、 $C_h$ への表示用データの転送と液晶容量 $C_p$ への書き込みを交互に行うことが可能となる為に図17に示すタイミングチャートの様に転送時間 $\tau$ を1/3フィールドに伸ばすことが可能となる、等が提示されている。

【0014】

【発明が解決しようとする課題】従来技術では表示用データを保持するために補助容量 $C_s$ が必要であったが、これが存在することにより開口率が低下していた。しかしながら補助容量 $C_s$ を廃止した画素回路構成で従来の駆動方法を用いたのではフリッカーの発生要因となるだけでなく、表示用データ保持率の低下を招き表示品位も低下するという問題が生ずる。図18に補助容量 $C_s$ を有した場合と有さない場合とのある画素における表示用データの保持率を示す。また図14、及び図15に示した回路構成の場合、画素部の素子数増加による画素サイズの拡大（高精細化の妨げ）、及び歩留りの低下を招いていた。

【0015】また図13に示すようにアクティブマトリクス駆動方式におけるアクティブ素子としてTFT（薄膜トランジスタ）を用いた場合、この寄生容量 $C_{gs}$ と画素容量との容量分割によって画素電極の電圧シフトが発生し、表示用データが正確に書き込めないという不具合をひきおこしていた。またこれがフリッカーの発生要因の一つでもあった。

【0016】

【課題を解決するための手段】本発明の画像表示装置は、上記の課題を解決するため、行方向（水平方向）及び列方向（垂直方向）にマトリクス状に表示用の画素部を有し、該画素部に表示用データ保持用の補助容量をもつ画像表示装置において、前記補助容量の値が表示用データの1フレームにおける保持率が99%未満となるような値を取ることを特徴とする。

【0017】また本発明の他の画像表示装置は、行方向（水平方向）及び列方向（垂直方向）にマトリクス状に表示用の画素部を有し、該画素部に表示用データ保持用の補助容量を有さないことを特徴とする。

【0018】また本発明の画像表示装置の駆動方法は、行方向（水平方向）及び列方向（垂直方向）にマトリクス状に表示用の画素部を有する上記画像表示装置において、1フレーム期間内で該同一画素部に、複数回の同一表示用データを書き込むことを特徴とする。

【0019】また画像表示装置がアクティブマトリクス方式で駆動され、画素のスイッチング機能をなすアクティブ素子に、アクティブ素子の1/2の大きさのソース、ドレイン間を直結したMOSFETを画素電極に接



る。また画像表示装置がアクティブマトリクス方式で駆動され、画素のスイッチング機能をなすアクティブ素子を、CMOSアナログスイッチで構成し、上記CMOSアナログスイッチを構成する2つのMOSFETにお互いが逆位相となる走査信号を印加する構成にする。

【0020】また本発明は、画像表示装置が液晶表示装置である場合にも適用できる。

【0021】また本発明の画像装置のアクティブ素子は、キャリア移動度 $\mu$ を $\mu \geq 5 \text{ cm}^2/\text{V} \cdot \text{sec}$ とする。

【0022】

【作用】従来技術では、補助容量 $C_s$ はコモン電極または前段の走査信号線に接続されていたが、本発明ではこれを廃止することが可能となることから構造が容易となり開口率が向上する。また上記補助容量 $C_s$ を廃止するには至らないまでも補助容量 $C_s$ の値を小さくすることにより開口率を向上することができる。さらに表示用データ保持率の改善も可能となる。フィールド順次走査方式を行う場合においても、図14、及び図15に示されるような複雑な回路構成を必要としないために画素回路規模の縮小（画素サイズの縮小）が図られ、歩留り向上及び高精細化が可能となる。

【0023】また、補助容量 $C_s$ を低くした場合のみならず、データドライバ中のサンプリング回路、ホールド回路等や画素部の各種回路を形成するトランジスタのOFF電流が大きい場合、或いは所謂サンプリングコンデンサ、データホールドコンデンサ、他のコンデンサの並列抵抗成分が小さい場合に発生するデータ変動を抑えることができる。

【0024】更に、アクティブ素子としてTFT（薄膜トランジスタ）を用いている場合、これのゲートソース間の寄生容量 $C_{gs}$ と画素容量との容量分割によって発生する画素電極の電圧シフトに起因するフリッカー等を抑制することができる。

【0025】

【実施例】

【実施例1】本実施例では白黒表示（単色表示）の場合において1フレーム期間内に、画素部に複数回表示用データを書き込む場合を説明する。

【0026】本発明の駆動法を実施する上での周辺回路構成と画素回路構成の例を図2（ $x \times y$ マトリクスの場合）に示す。同図において14はタイミングコントロール回路、11はA/Dコンバータ、12はフィールドメモリA、13はフィールドメモリB、15はD/Aコンバータ、16は極性反転回路、2はデータドライバ、3は走査ドライバ、17は表示用画素アレイ（ $x \times y$ マトリクス）である。画素回路構成の例としては図11における構成で補助容量 $C_s$ の値が表示用データ保持率が99%以下となるような値をとる構成、もしくは補助容量

しを1フィールド毎に交互に行うものである。

【0027】次に動作について説明する。まずA/Dコンバータ11に表示用データを入力し、フィールドメモリに記憶するためにアナログ信号からデジタル信号に変換後、変換された信号をフィールドメモリA12で1フレーム期間分記憶する。これと同時に1フレーム期間前の表示用データを1フレーム期間分、既に記憶しているフィールドメモリB13から、この記憶されているデータをタイミングコントロール部14で生成されたタイミング信号により1フレーム期間内にシリアルに $n$ 回、1フィールド分すべての表示用データの読み出しを16.67/ $n$  [msec]内（フレーム周波数が60Hzの場合。以下同じ）で行う。フィールドメモリB13から読み出された表示用データをD/Aコンバータ15にてデジタル信号からアナログ信号に変換し、次に極性反転回路16でタイミングコントロール部14で生成された極性反転信号により表示用データの極性を反転（1Hライン反転、1フィールド反転もしくはフィールド+1Hライン反転等）を行った後、データドライバ2に入力し、これをデータドライバ2においてサンプリングしデータ信号線に出力することにより、所定の各画素に書き込む。

【0028】このときの書き込みのタイミングは、従来の一般的な走査法の一例を示す図19に対し、図1に示すようにフィールドメモリB13からの $n$ 回の1フレーム期間分の表示用データ読み出しと合わせたタイミング（16.67/ $n$  [msec]内で $y$ 本分の走査信号を出力できるようなタイミング）で走査ドライバ3を動作させ、それぞれの走査信号のパルス幅内で $x$ 個（1水平ライン画素数）の表示用データのサンプリング、及び書き込みを行えるような周波数でデータドライバ2も動作させる。即ち、ある画素において1フレーム期間内に $n$ 回、同一表示用データが書き込まれることになる。以上の動作を行った場合のある画素における表示用データ保持率のグラフを図3に示す。この時のデータドライバ2、及び走査ドライバ3の動作周波数（クロック、スタートパルス等）は通常動作の場合を $f$  [Hz]としたとき、データの読み出し回数を $n$ 回とすると、 $n \times f$  [Hz]となる。

【0029】上述のように、1フレーム期間内で、各々の画素に対応した表示用データが $n$ 回所定の画素に書き込まれる駆動方法を用いることにより、補助容量 $C_s$ の値が表示用データ保持率99%未満となるような値をとる場合の画素回路構成、また完全に除去した場合の画素回路構成において、開口率の向上だけではなく高表示用データ保持率の実現、及び画素回路規模の縮小（画素サイズの縮小）による歩留り向上、高精細化が可能である。

子（トランジスタTR）の駆動能力が大きいことが望ましく、キャリア移動度 $\mu$ が少なくとも $5\text{ cm}^2/\text{V}\cdot\text{sec}$ 以上の素子、例えば多結晶シリコンTFT等を用いることが望ましい。

【0031】ここで表示用データ保持率の99%という数字の根拠は、従来の駆動法では自然画表示の実用レベルに相当する64階調の表示用データを1フレーム期間にわたって安定して表示するにはマージンを含めて99%以上のデータ保持率を必要としていたことによる。

【0032】なお以上の説明では、原信号がTV信号のようなインタレス信号を隣接する2水平ライン（走査線とも呼称）に書き込むノンインタレス走査であったが、回路構成をこれに限定するものではなく原信号がインタレス信号であり、1フレーム期間内に2フィールド映像信号分を表示する場合においても、適用できることは勿論のことである。しかし、この場合、周辺回路の構成が複雑化、或いはメモリの容量が増加するのは当然の事である。またカラーフィルタを用いた2色以上の空間的加法混色の場合は、回路構成が色の数に応じて増加することは言うまでもない。

【0033】【実施例2】次にフィールド順次走査方式におけるカラー化の第1の実施例について説明する。

【0034】画素回路構成としては、例えば図11における構成で補助容量Csの値が表示用データ保持率が99%未満となるような値をとる構成、もしくは補助容量Csを完全に除去した構成とする。駆動回路の基本構成例は図4（ $x \times y$ マトリクスの場合）に示す。フィールドメモリA12、B13の内部を1フレーム期間分の赤画面表示用データ、緑画面表示用データ、青画面表示用データを各々記憶するブロック18～23に分け、またタイミングコントロール部14に赤、緑、青画面用表示用データをそれぞれ読み出すタイミング信号を生成する機能をもった構成とする。

【0035】次に動作について説明する。フィールド順次表示用データをA/Dコンバータ11（表示用データがフィールド順次表示用RGB信号の場合は1個のA/Dコンバータからなり、一般のRGB信号の場合は3個のA/Dコンバータからなる）に入力し、フィールドメモリに記憶するためにアナログ信号からデジタル信号に変換後、変換された信号をフィールドメモリA12で1フレーム期間分の赤、緑、青画面表示用データそれぞれ18、19、20で記憶する。これと同時に1フレーム前の赤、緑、青画面表示用データを21、22、23にそれぞれ1フレーム期間分を既に記憶しているフィールドメモリB13より、この記憶されているデータをタイミングコントロール部14で生成された読み出し信号により1フレーム期間（16.67[msec]）内に1フレーム期間分の赤、緑、青画面表示用データを一定の

ーム期間内にnセットの読み出しを行うことになる（表示用データ読み出し順序はいかなる順序でも良い）。次にD/Aコンバータ15にてフィールドメモリB13から読み出された表示用データをデジタル信号からアナログ信号に変換後、次に極性反転回路16にてタイミングコントロール部14で生成された極性反転信号により表示用データの極性を反転（1Hライン反転、1フィールド反転もしくはフィールド+1Hライン反転等）を行った後、データドライバ2に入力し、これをデータドライバ2においてサンプリングしデータ信号線に出力することで、所定の各画素に書き込む。

【0036】このときの書き込みのタイミングは、図5に示すようにフィールドメモリBからのn回の1フレーム期間分の表示用データ読み出しと合わせたタイミング（16.67/n[msec]以内でy本分の走査信号を出力できるようなタイミング）で走査ドライバを動作させ、それぞれの走査信号のパルス幅内でx個（1水平ライン画素数）の表示用データのサンプリング、及び書き込みを行えるような周波数でデータドライバ2も動作させる。

【0037】以上の動作を行うことで、色の時間的混色の周期が高速となり人間の視覚感度に対し異和感を感じず、特願平3-77983（特開平4-310925）で表示用データの保持率を高めるために提案された図14、図15に示す複雑な画素回路構成とせずとも、高開口率が得られる1トランジスタ構成で、高表示用データ保持率の実現及び画素回路規模の縮小（画素サイズの縮小）による歩留り向上、高精細化が可能である。

【0038】【実施例3】次に同じフィールド順次走査方式におけるカラー化の第2の実施例について説明する。

【0039】画素回路構成及び駆動回路構成は実施例2と同様とする。動作については、図4におけるタイミングコントロール14で生成される読み出し信号のタイミングを変化させることで、例えば図6に示すように1フレーム期間を3等分し、最初の1/3の期間内でn回、赤画面表示用データを、次の1/3の期間内でn回、緑画面表示用データを、最後の1/3の期間内でn回、青画面表示用データを読み出し、所定の画素に書き込む

（これに限らず、他のいかなる表示用データの組み合わせでもかまわない）。以上の回路構成及び駆動方法により、高開口率の得られる1トランジスタ構成で、高表示用データ保持率の実現及び画素回路規模の縮小（画素サイズの縮小）による歩留り向上、高精細化が可能である。

【0040】【実施例4】また図7に示すシステム構成例、これに対応した図8のタイミングチャートにおいて動作させることでも1垂直走査期間内で、各々の画素に



【0041】まず構成について説明する。図7 ( $x \times y$  マトリクスの場合) において14はタイミングコントロール、24は走査ドライバ1、25は走査ドライバ2 (走査ドライバは水平走査本数の数だけあるものとする。この場合だと  $y$  個の走査ドライバが必要。) とし、それぞれの走査ドライバには  $n$  本の走査信号線が、データドライバ2には  $x$  本のデータ信号線が接続されている。走査信号線、データ信号線の各交点に図7に示すような形で画素回路26を形成する。画素回路においてはデータ信号線とサンプリング信号線との交点に  $n$  個のサンプリング用素子  $TR S$  を接続し、これの出力にそれぞれ1対のサンプリング容量  $C h$ 、とアクティブ素子としての  $TR$  を介して最終的には1つの画素容量  $C p$  に接続されている。

【0042】動作について図8に示すタイミングチャートを基に説明する。データドライバはタイミングコントロール回路14で生成されるサンプリング信号1のパルス幅内に1水平期間分の表示用データをデータ信号線に出力、順次  $y$  本分の表示用データをデータ信号線に出力する。即ち同図においてAの期間内で1フィールド分の表示用データをサンプリングし、出力することになる。次にサンプリング信号1~ $y$  により  $TR S$  を介して、データ信号線上の表示用データを各水平ライン毎に順次サンプリング容量  $C h$  に書き込み、走査信号線を同図に示す順序1-1、2-1、...  $y$ -1、(同図におけるAの期間) 1-2、2-2...  $y$ -2、(同図におけるBの期間) 1- $n$ 、2- $n$ 、 $y$ - $n$  (同図におけるNの期間) となる順序で走査することにより、1フレーム期間内に  $n$  回、サンプリング容量  $C h$  から画素容量へ表示用データを書き込む。

【0043】以上の動作を行うことでデータドライバ2のサンプリング回数を1回で済ませることができ、データドライバ2の負担を軽減させつつ表示用データ保持率を低下させる事なく補助容量  $C s$  を減少、或いは廃止することができる。

【0044】【実施例5】今までの画素回路構成は例として図11における構成で補助容量  $C s$  の値が表示用データ保持率が99%以下となるような値をとる構成、もしくは補助容量  $C s$  を完全に除去した構成としていたが、更にアクティブ素子の寄生容量  $C g s$  ( $C g d$ ) による影響を抑制するための画素回路構成例として図9、図10に示す。

【0045】図9において、図11における画素回路構成から補助容量  $C s$  を完全に除去し、MOSFETである  $TR 2$ 、走査信号線2を追加している。 $TR 2$  のドレイン、ソース、を画素電極に、ゲートを走査信号線2に接続した構成とする。尚、 $C g s 1$  は  $TR 1$  のゲート、ソース間の寄生容量、 $C a s 2$  は  $TR 2$  のゲート、ソー

トランジスタサイズである。

【0046】走査信号線1には各々の画素に対応した通常の走査信号を印加、走査信号線2にはこれとは逆位相の波形を印加する。こうすることにより  $C g s 1$  と画素容量  $C p$  によって発生する画素電極の電圧シフトと  $C g s 2$ 、 $C g d 2$  により発生する画素電極の電圧シフトとのシフト方向がそれぞれ異なるために相殺しあい、これによる影響を抑制することができる。

【0047】図10においても、図11における画素回路構成から補助容量  $C s$  を完全に除去し、MOSFETである  $TR 2$ 、走査信号線2を追加する。 $TR 2$  を  $TR 1$  とでアナログスイッチを形成する相補型の構成とし、 $TR 1$  のゲート、ソース間の寄生容量である  $C g s 1$  と、 $TR 2$  のゲート、ソース間の寄生容量である  $C g s 2$  との静電容量が等しくなるトランジスタサイズとする。

【0048】走査信号線1には各々の画素に対応した通常の走査信号を印加、走査信号線2にはこれとは逆位相の波形を印加することで図9に示す画素回路と同様の効果を得ることができる。

【0049】

【発明の効果】従来、補助容量  $C s$  はコモン電極または前段の走査信号線に接続されていたが、本発明ではこれを廃止することが可能となることから構造が容易となり開口率が向上する。また上記補助容量  $C s$  を廃止するには至らないまでも補助容量  $C s$  の値を小さくすることにより開口率を向上することができる。さらに表示用データ保持率の改善も可能となる。フィールド順次走査方式を行う場合においても、図14、及び図15に示されるような複雑な回路構成を必要としないために画素回路規模の縮小 (画素サイズの縮小) が図られ、歩留り向上及び高精細化が可能となる。

【0050】更に述べるなら、補助容量  $C s$  を低くした場合のみならず、データドライバ中のサンプリング回路、ホールド回路等や画素部の各種回路を形成するトランジスタのOFF電流が大きい場合、或いは所謂サンプリングコンデンサ、データホールドコンデンサ、他のコンデンサの並列抵抗成分が小さい場合に発生するデータ変動を抑えることができる。

【0051】更に、アクティブ素子としてTFET (薄膜トランジスタ) を用いている場合、これのゲート-ソース間あるいはドレイン間の寄生容量  $C g d$ 、 $C g s$  と画素容量との容量分割によって発生する画素電極の電圧シフトを相殺することにより、これに起因するフリッカー等を抑制することができる。

【図面の簡単な説明】

【図1】本発明の駆動方法における走査ドライバの出力波形及び表示電圧を示す図である。



【図 3】本発明を実施した場合の表示用データ保持率のグラフである。

【図 4】本発明をフィールド順次走査方式で実施した場合の一実施例のブロック図である。

【図 5】本発明をフィールド順次走査方式で実施した場合のタイミングチャート例である。

【図 6】本発明をフィールド順次走査方式で実施した場合の他のタイミングチャート例である。

【図 7】本発明の他の実施例を説明する為のブロック図である。

【図 8】図 7 の動作を説明するためのタイミングチャートである。

【図 9】本発明の画素回路構成の他の例を説明する図である。

【図 10】本発明の他の画素回路構成例を説明する図である。

【図 11】従来の画素回路構成を説明する図である。

【図 12】従来の画素回路の要部の構造を説明する図で

ある。

【図 13】従来の画素回路の動作を説明するための図である。

【図 14】従来の画素回路構成の他の例を説明するための図である。

【図 15】従来の画素回路構成の更に他の例を説明するための図である。

【図 16】従来のフィールド順次走査方式を説明するタイミングチャートである。

【図 17】従来のフィールド順次走査方式の他の例を説明するタイミングチャートである。

【図 18】補助容量  $C_s$  が有る場合と無い場合との表示用データ保持率の説明図である。

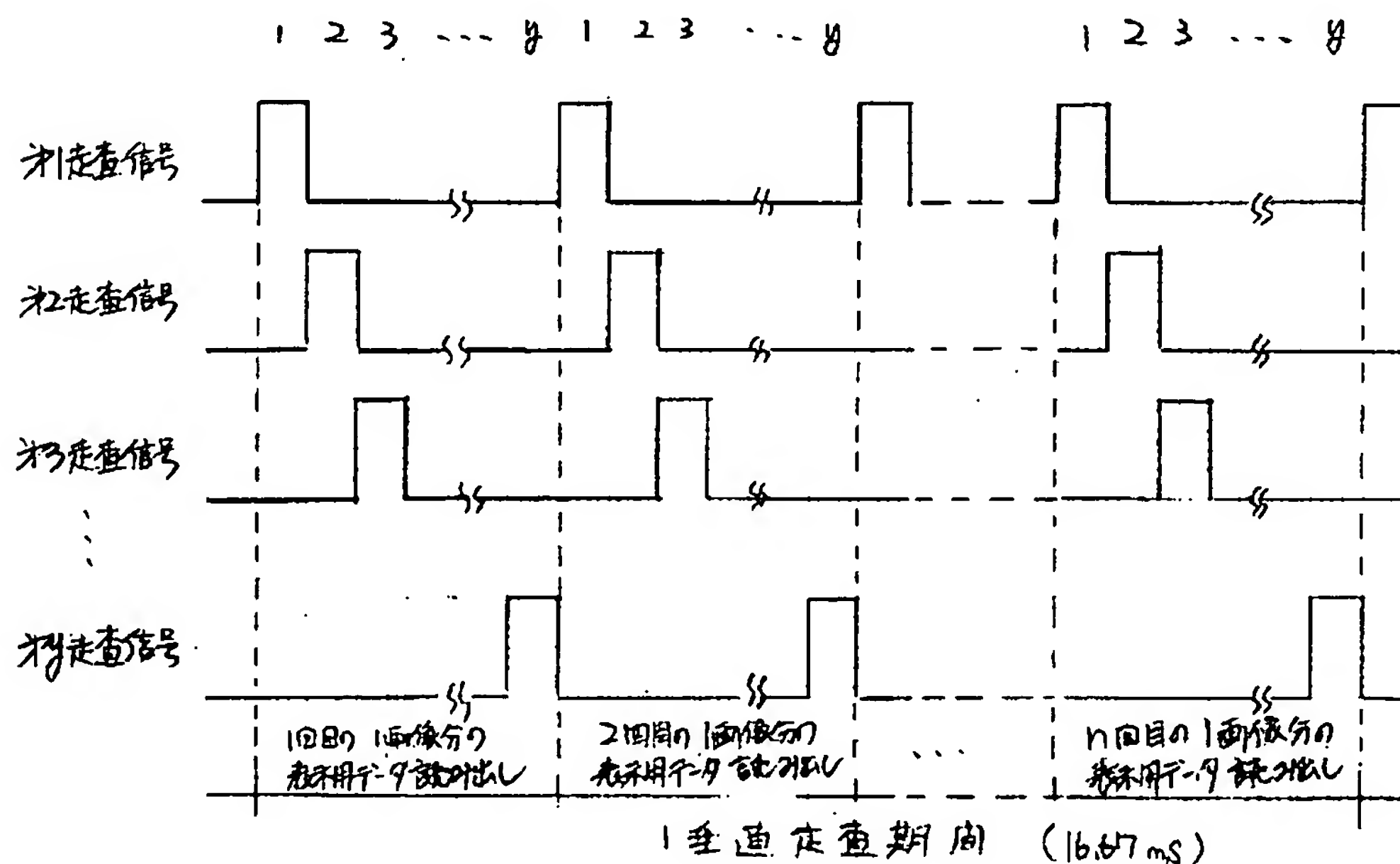
【図 19】従来の駆動方法における走査ドライバの出力波形を示す図である。

【符号の説明】

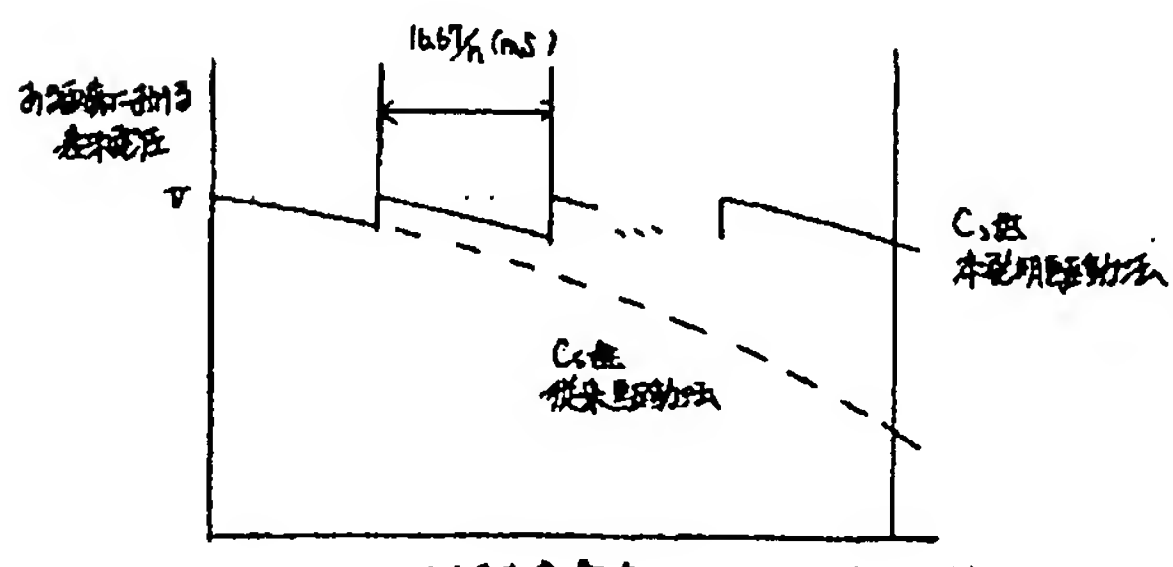
17 表示用画素アレイ ( $x \times y$  マトリクス)

$C_s$  補助容量

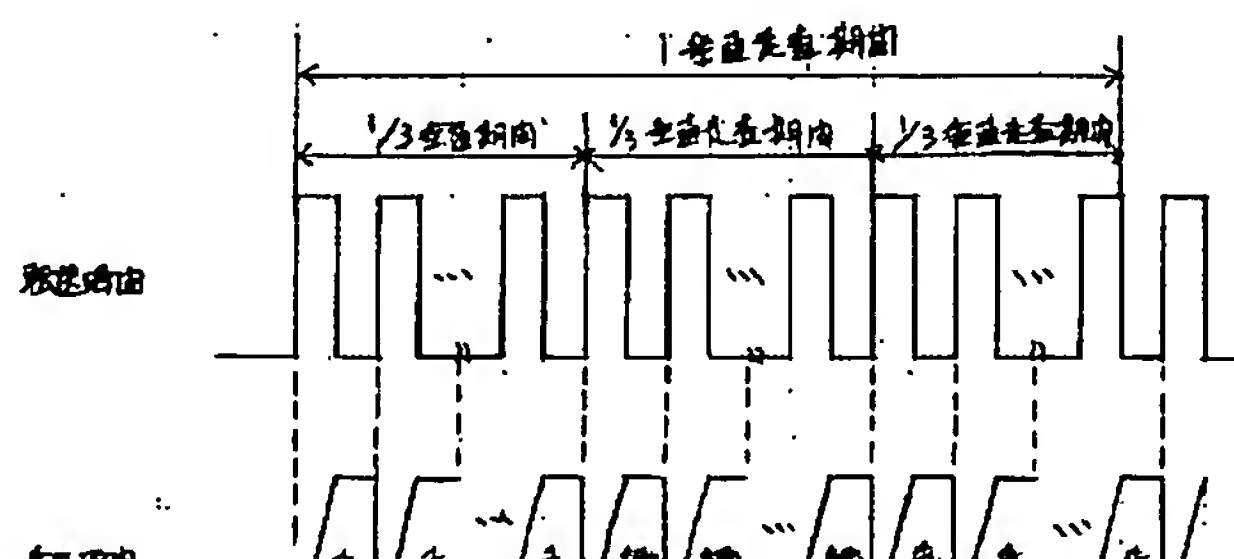
【図 1】



【図 3】



【図 6】

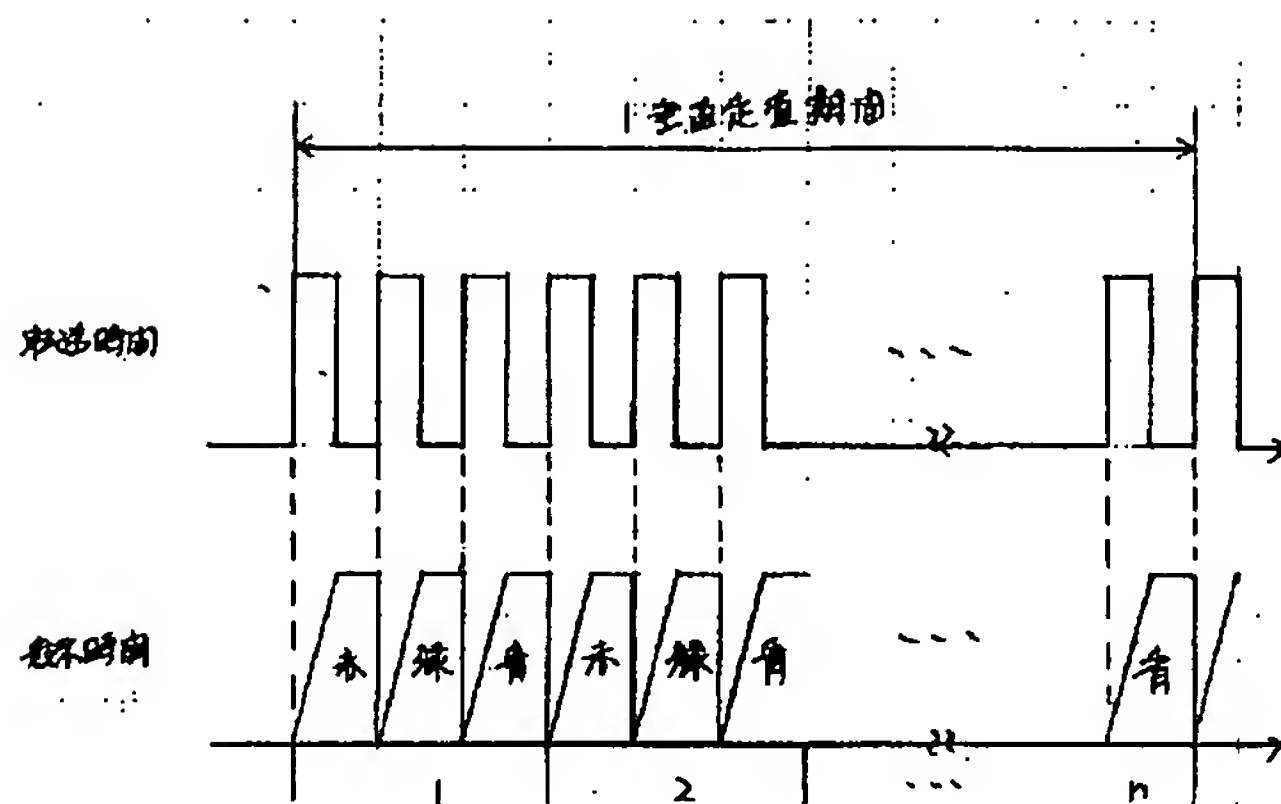




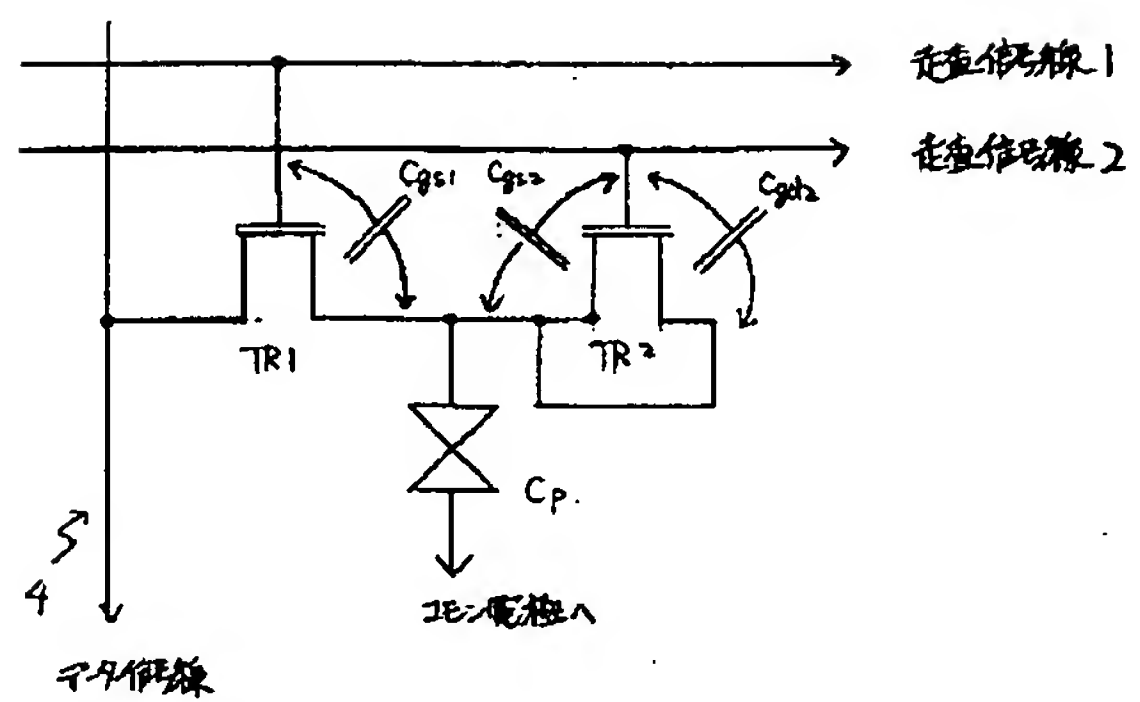




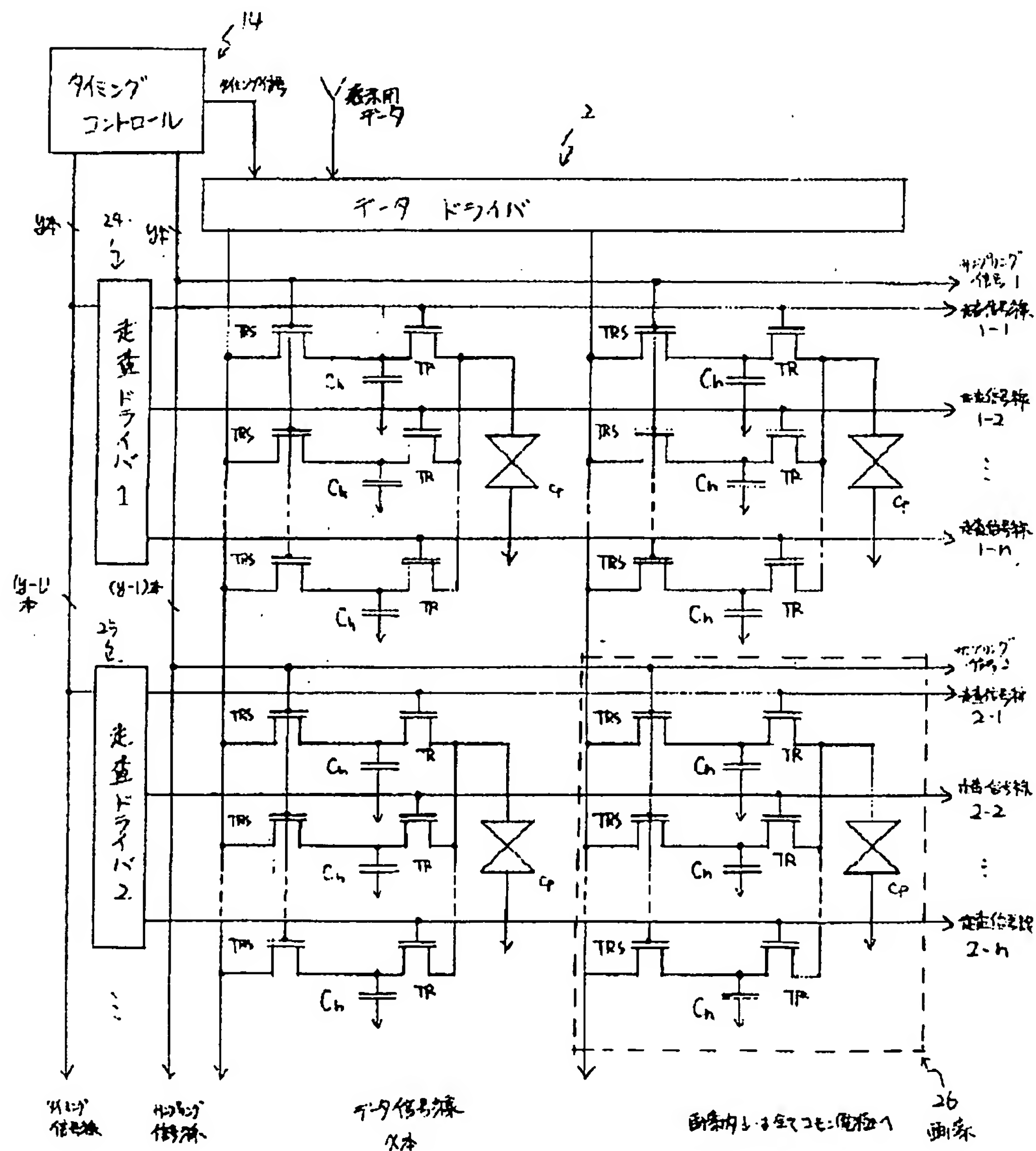
【図 5】



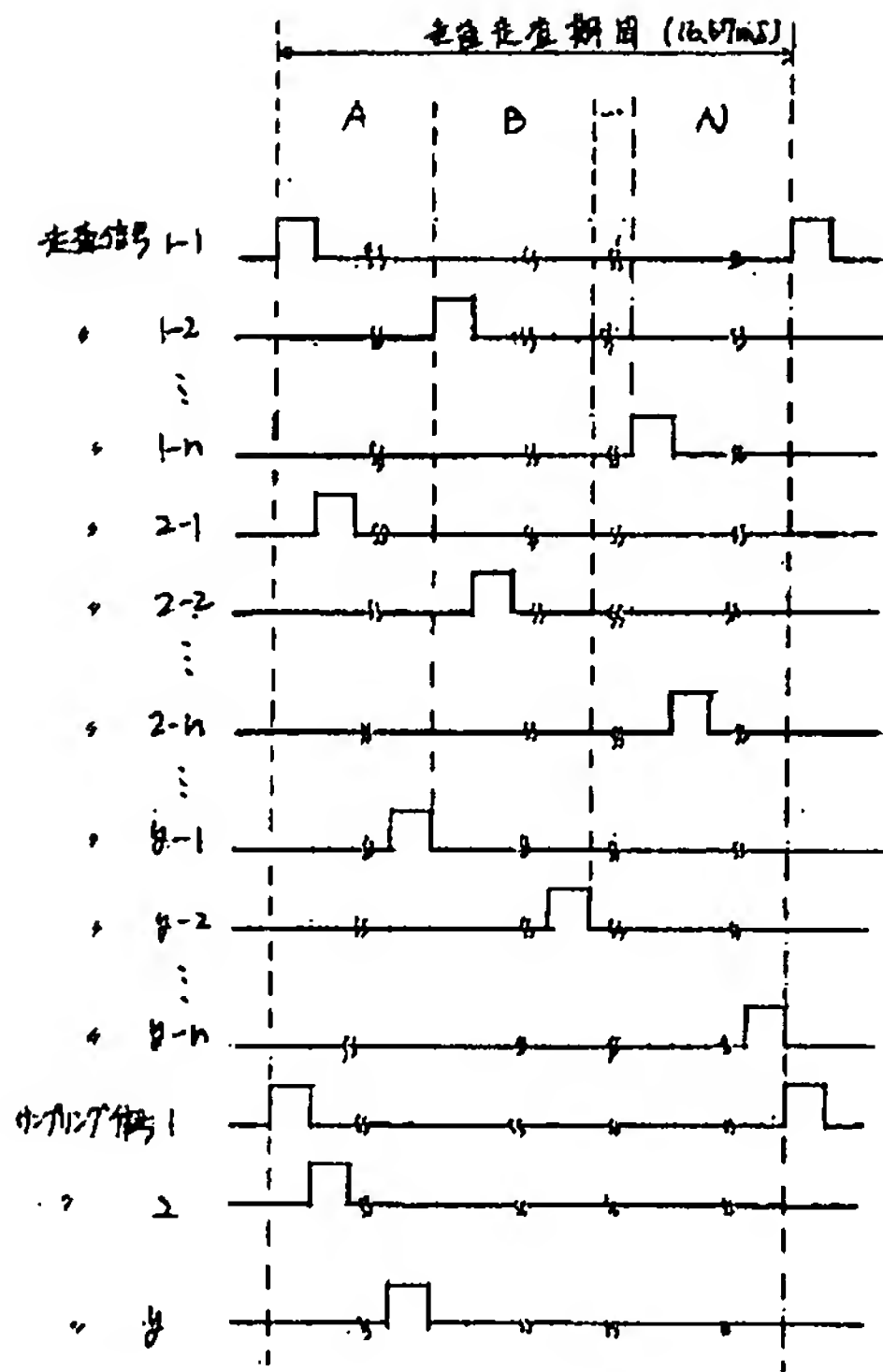
【図 9】



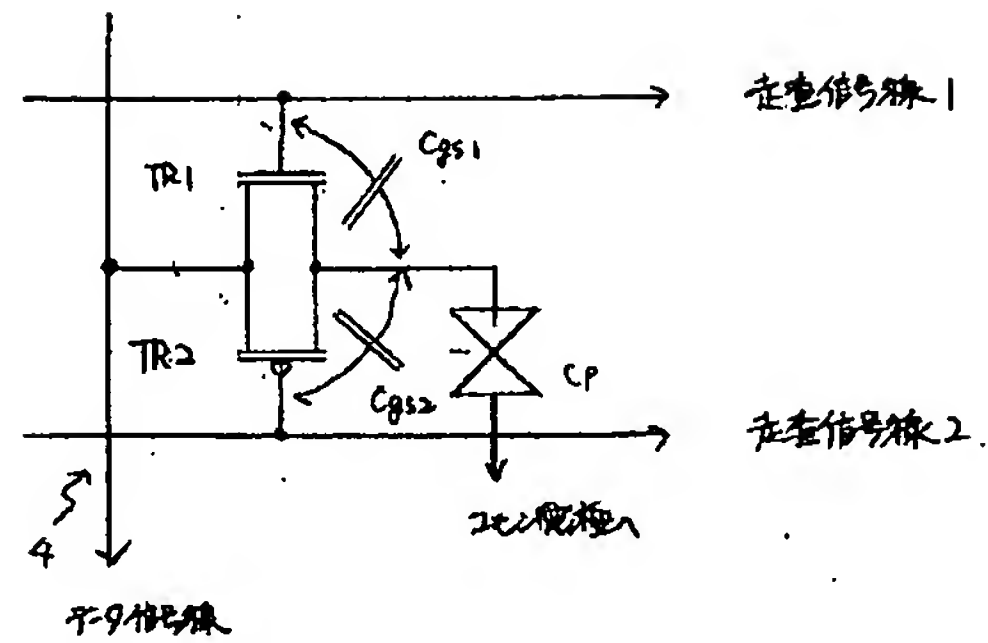
【図7】



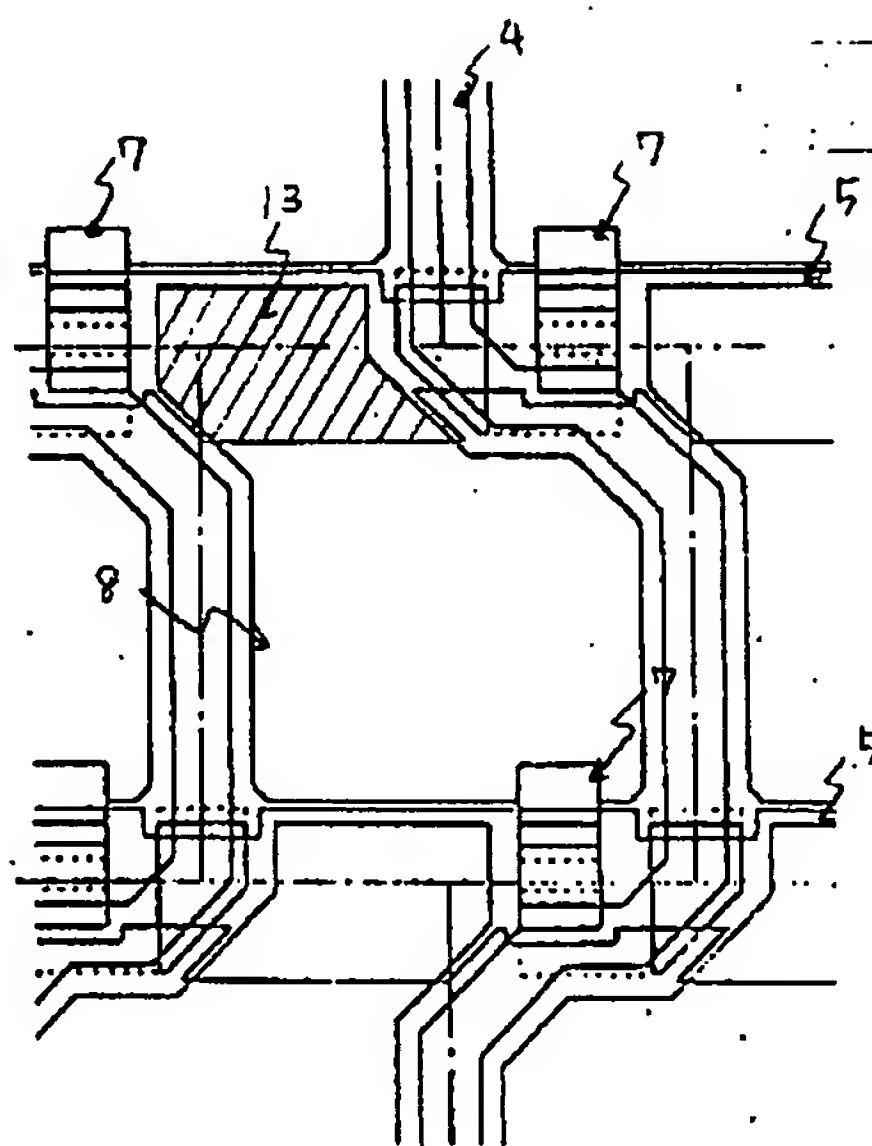
【図8】



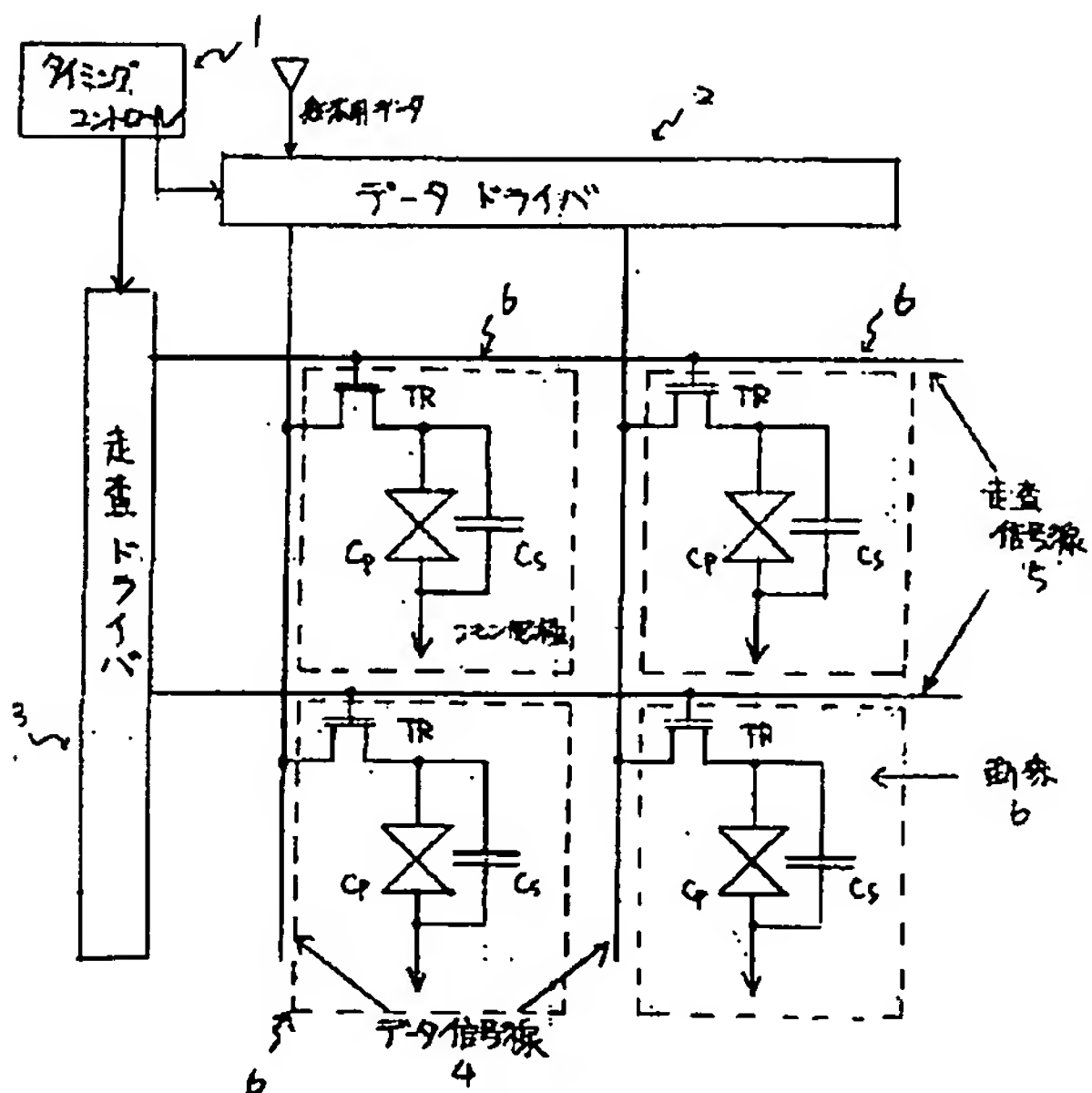
【図10】



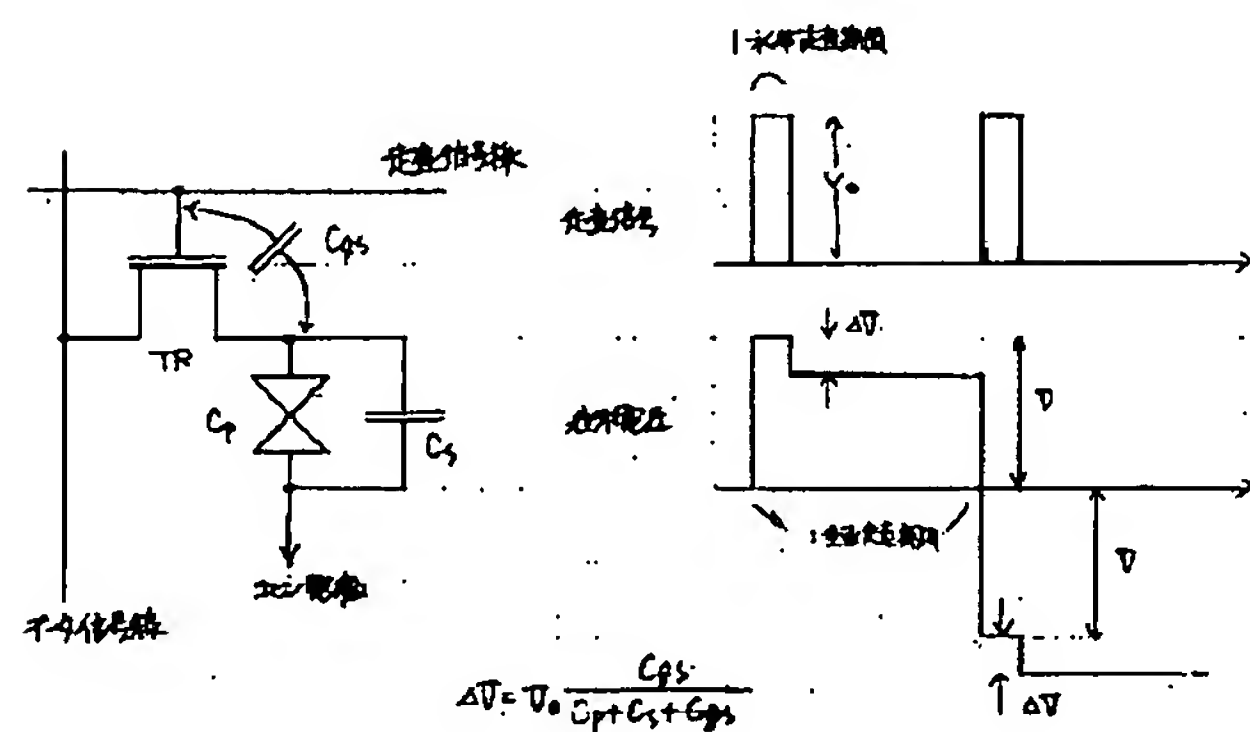
【図12】



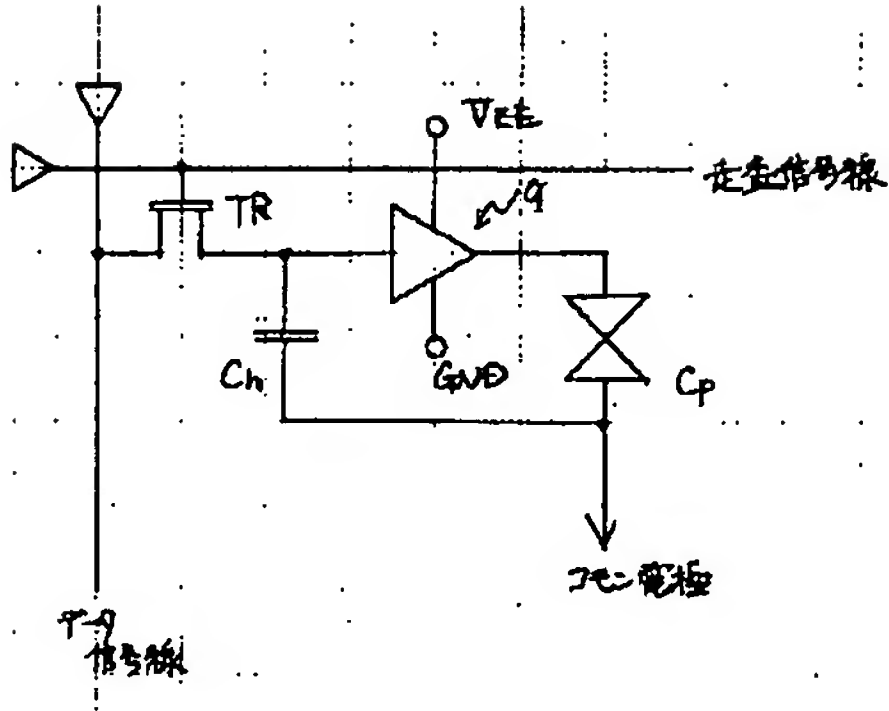
【図11】



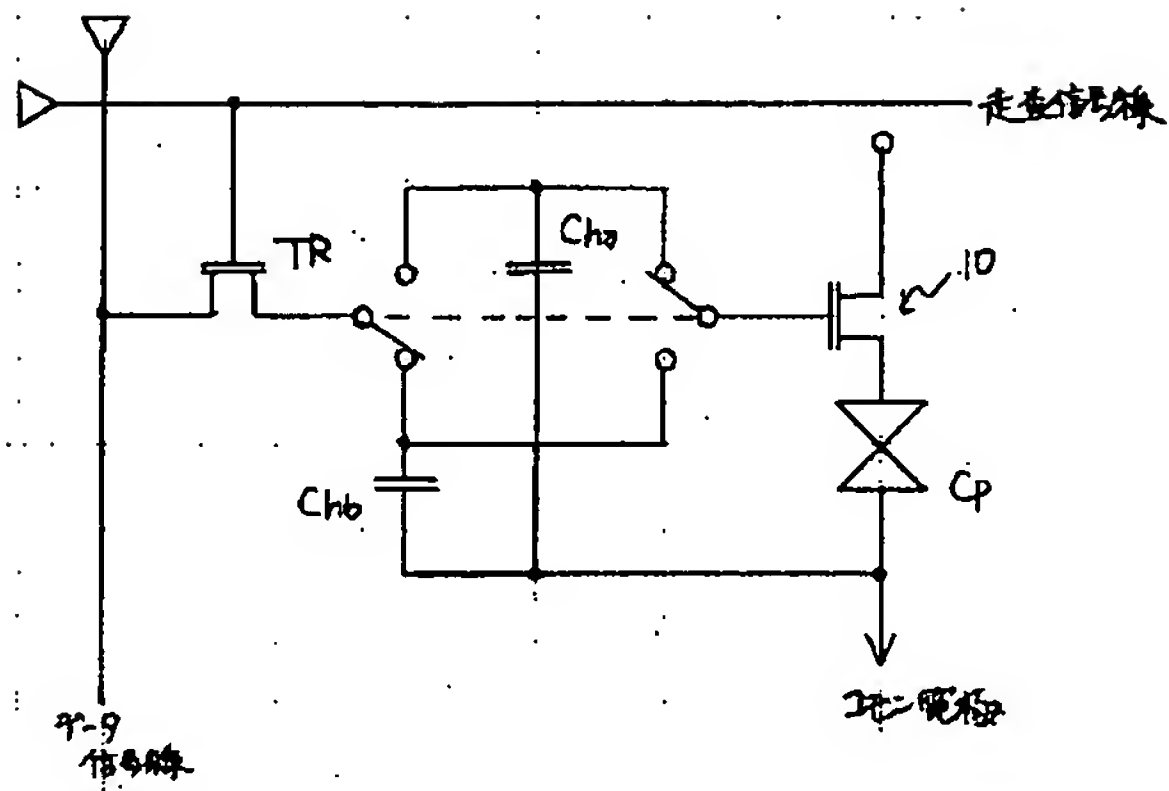
【図13】



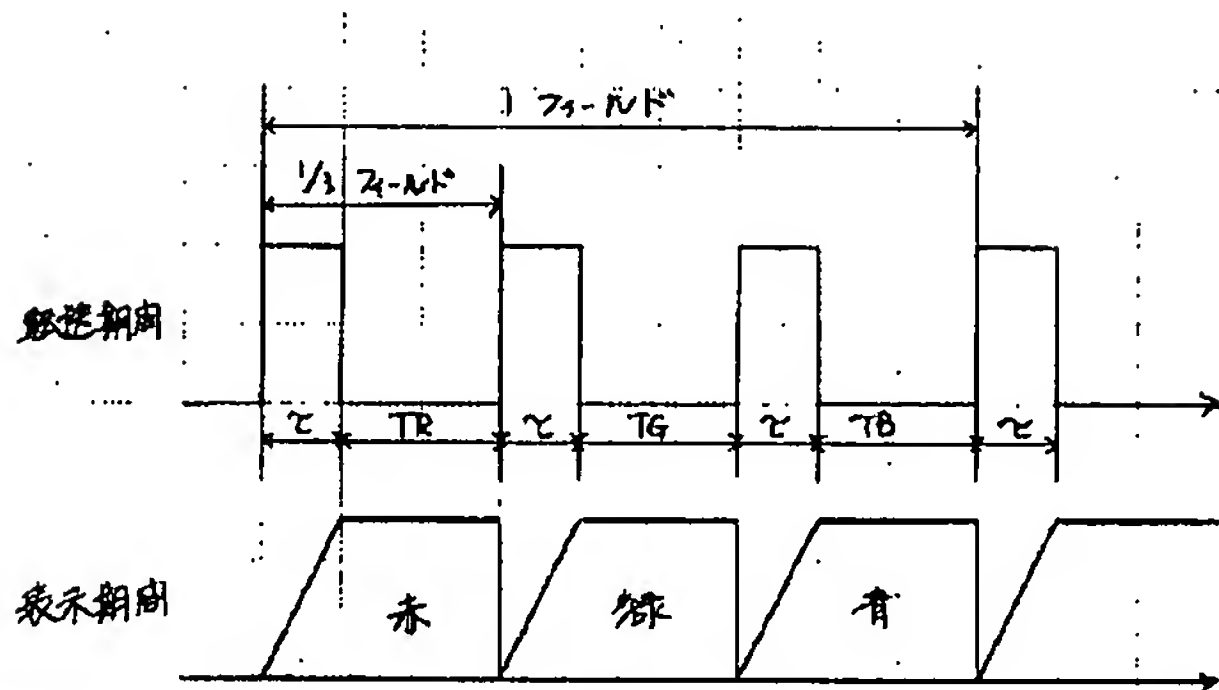
【図14】



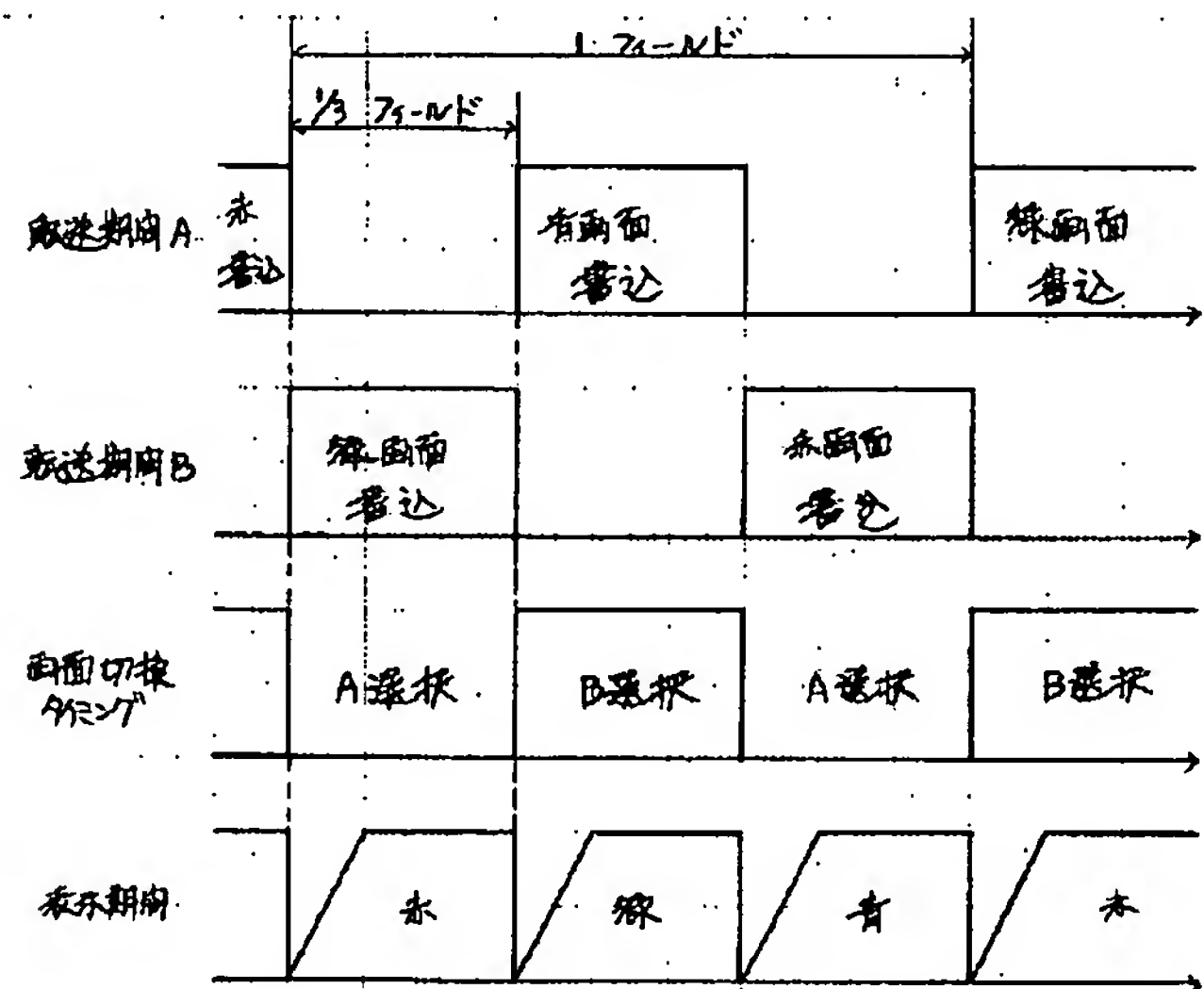
【図15】



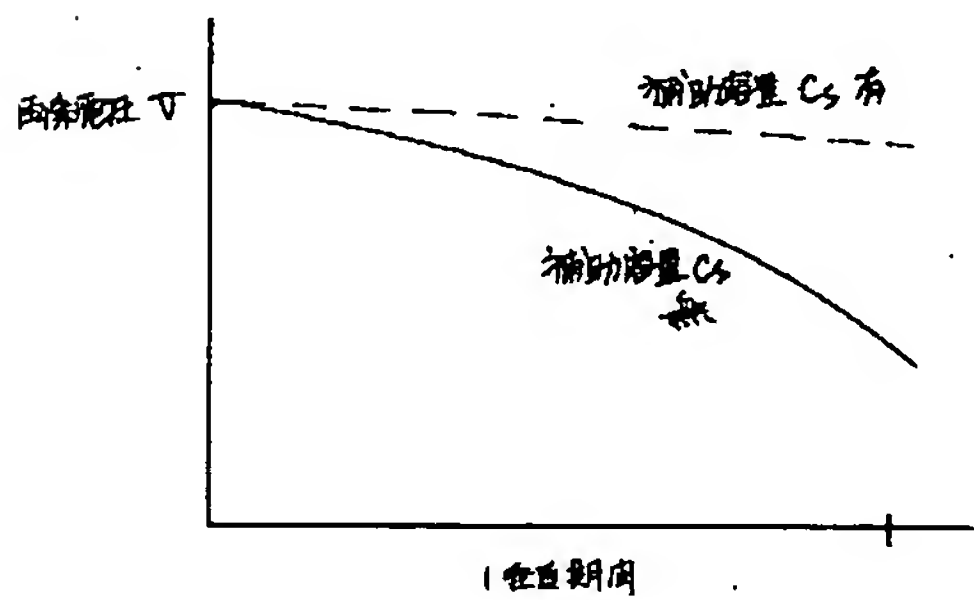
【図16】



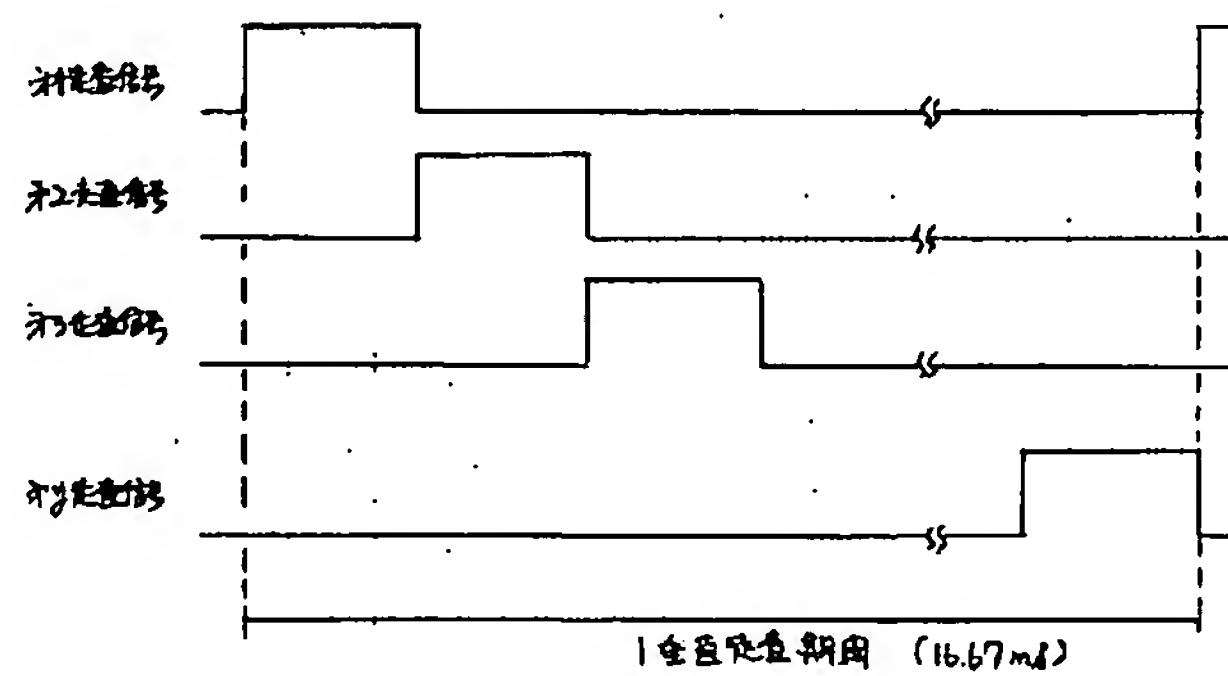
【図17】



【図18】



【図19】





フロントページの続き

(72) 発明者 米田 裕  
大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72) 発明者 山元 良高  
大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内